

半導体集積回路技術を用いた エネルギー・ハーベスティング応用新発電システム

宮本順一*¹、佐藤元泰*²、田中基彦*³、伊藤響*²、内田秀雄*⁴、

Development of Novel Power Generation System for Energy
Harvesting with Semiconductor Integrated Circuits

Junichi Miyamoto*¹, Motoyasu Sato*², Motohiko Tanaka*³,
Hibiki Itoh*², Hideo Uchida*⁴

(Received February 25, 2019)

In the natural world, there are so many energy sources convertible to electric power, such as sunlight, wind, heat, vibration and radio waves. The representative is photovoltaic generation using silicon devices, which have already been practically used. But if someone takes a more familiar system with existing environment into consideration, novel power generation system should be necessary. The system needs to collect electric power from various energy sources effectively, and to integrate them so that they generate electric power efficiently. This paper proposes a novel system suitable for such energy harvesting by utilizing semiconductor integrated circuit technology. The key LSI is named as “Power Delivery Integrated Circuits”. First, the feature and characteristic of the device are shown, and the novel power generation system with the LSI is demonstrated by using Dye Sensitized Solar Cells. Finally, future prospects of the system are shown.

Keywords: Energy Harvesting, Photovoltaics, Dye Sensitized Solar Cell, Semiconductor Integrated Circuits, Power Delivery, Charge Pump

1. 研究の背景

自然界には太陽光をはじめ、排熱、振動、電波など、電力変換可能な様々なエネルギー源が各種存在する。その代表格は、シリコン半導体を電池素子とした太陽光発電 (PV: Photovoltaics) であり、メガソーラなどですでに実用化されている。但し、メガソーラの目的は売電にあり、利益を得るためには広大な土地が必要で、そのため樹木の切り倒し、里山の破壊、田畑の空き地への転換などの環境破壊が行われている。これに対し、本研究は、狭義では植生との共生、広義では現状の環境を維持したままでの発電、といった視点から出発した。植生との共生という意味では、植生が必要としない緑波長を使った発電であり^{1,2)}、現環境の維持という意味では、現環境にすでに存在する異種の自然エネルギーからの環境に影響を与えない電力の集積である。発電の目的も売電ではなく、分散型、すなわち地産地消の発電にある。このために必要な技術は、どちらも電池素子 (電力変換素子) からの効率的な電力変換とそれら微小電流の集電にある。

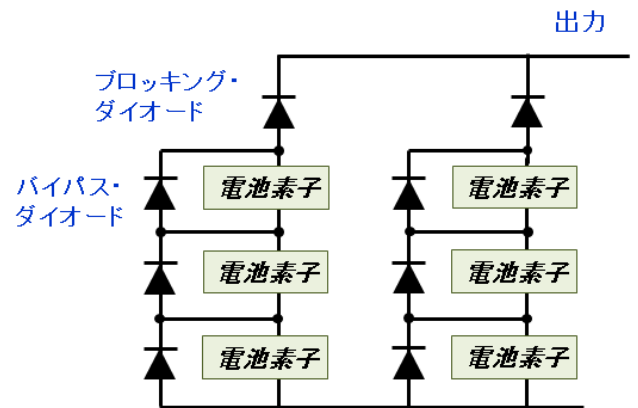


図1 PVの発電システム

現在のPVの電力回収方法を図1に示す。素子の非発電（夜間、雨天、故障等）時の逆流を防止することはシステム上必須であり、これをブロッキングダイオードで行っているのが特徴である。但し、このブロッキングダイオードの電圧降下はその電流にかかわらず0.7V程度であり、この値は単体の電池素子の起電力とほぼ同等の値である。

*1 中部大学工学部 (College of Engineering)

*2 中部大学工学部、創造理工学実験教育科、大学院工学研究科、創造エネルギー理工学専攻 (Engineering Science Laboratory)

*3 中部大学工学部、大学院工学研究科、創造エネルギー理工学専攻 (Engineering Science Laboratory)

*4 中部大学工学部、電気電子システム工学科 (Dept. of Electrical and Electronic Engineering)

従って、回収効率を上げるには、素子を直列に多数個接続しなければならず、その素子特性も均一であることが求められる。また、ある素子が不良すると直列を構成している素子全体が巻き添えで電力供給に寄与しなくなる。しかも、不良素子の場所特定や置換も困難である。従って、この直列方式は、素子の信頼性が高く、特性ばらつきが極めて小さいシリコン半導体のみで構成される発電システム以外には適用が難しい。

2. 新発電システムの提案

本研究は、半導体集積回路技術を用い、電池素子を並列接続した状態でも電力回収が可能な発電システム方式を提案している。図2に示すように、松の木を発電システムに見立てれば、松の葉が電池素子であり、その枝の部分にあたる素子が、本論文で提案するCMOS_LSIで設計された「半導体電力分配器(以下、PDIC:Power Delivery Integrated Circuits)」である。



図2 新発電システム

松の葉は枝から並列に生えているおり、枝に見立てたPDICは一次的に個々の松の葉で発生された電力を効率よく集電する。半導体分配器の設計思想については、すでに、国際学会で発表され³⁾、分子研のレポートにも掲載され^{4,5)}、特許出願^{6,7,8)}も行っている。本論文においては、さらに、それらにPDICの評価結果を加味し、電池素子として本学で試作された色素増感太陽電池(DSSC :Dye Sensitized Solar Cell)を適用した新発電システムの野外での評価結果を示し、さらに今後の展開についても述べる。

3. 半導体電力分配器の概要

3.1 機能概要

PDICのブロックダイアグラムを図3に示す。この回路の特徴は、逆流防止用に、MOSTランジスタのトランスファークラップゲートをスイッチとして使用していることにある。

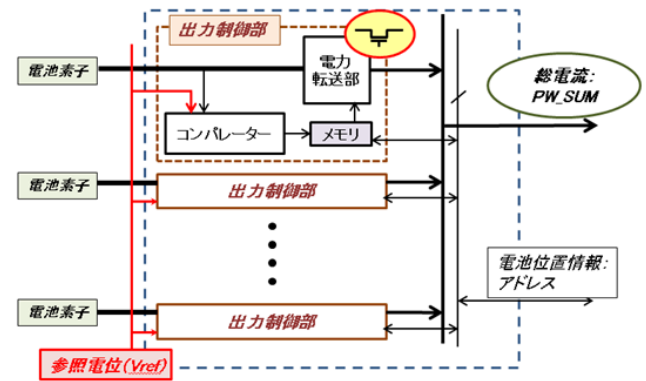


図3 PDICのブロックダイアグラム

MOSTランジスタのコンダクタンス、 g_m は次式であらわされる。

$$g_m = W/L * C_{ox} * \mu * (V_G - V_{th} - V_D) \quad (1)$$

ここで、L: MOSTランジスタのチャンネル長
W: MOSTランジスタのチャンネル幅
 C_{ox} : 単位面積当たりのゲート容量
 μ : 電子の移動度
 V_G : ゲート電圧、 V_{th} : 閾値、
 V_D : ドレイン電圧。

V_G 、 V_{th} は固定であり、Lは半導体プロセスが決まれば一定であるため、 $V_D \sim 0$ の領域では、MOSTランジスタのWを広げれば、 g_m はいくらでも小さくなる、すなわち、図1のブロッキングダイオードと異なり、このトランスファークラップによる電圧降下はゼロに近づけられる。従って、1V以下の起電力をもつ単体素子からも損失を極力少なくしての電力変換が可能となる。但し、図3に示すように、このスイッチのON/OFFを決める1bitのメモリは必要となる。

PDICの制御信号パルスは、図4に示す様にRESET、MONEN (MONitor ENable)、LOADの3本である。

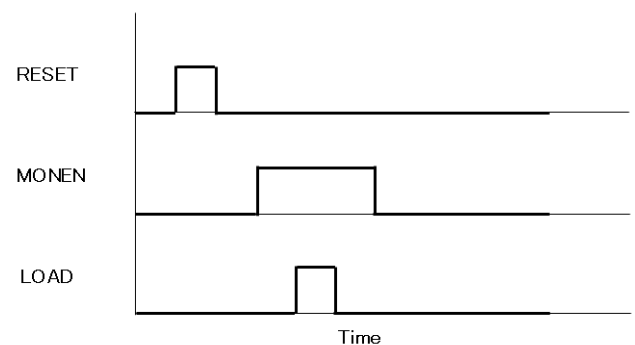


図4 PDICの制御信号

まず、RESETで、すべての、電池素子に接続されているトランスファークラップゲートを制御しているメモリに”0”を書き込み、トランスファークラップゲートをOFFにする。すなわち、すべての電池素子はPDICから切り離される。次に、MONENのタイミングでコンパレータをactiveとし、すべての電池素子の起電力を一斉に参考電位 (V_{ref}) と比較する。次に、LOADのタイミングで、その結果をメモリに格納する。起電力が V_{ref} より高い場合はメモリに”1”がセットされ、トランスファークラップゲートはONと

なり、PDICに接続される。一方、起電力が V_{ref} より低い素子の対応メモリは”0”のままで、PDICから切り離されたままである。この状態での総電流がPW_SUM端子から得られる。なお、このPDICはCMOSで構成されているため、DC電流が消費されるのはMONEN=Hの時のみであり、このMONEN信号の周期を長く設定すれば、PDICの消費電流は抑えられる。

電池素子の位置情報、すなわちアドレスを変化させ、対応するメモリの内容を読み取れば、その該当素子が V_{ref} 以上で発電しているかどうかわかる。すなわち、不良素子の位置の特定は容易である。また、外部より、メモリ内容を強制的に”1”に設定すれば、該当素子の電流電圧特性を測定することもでき、この機能も搭載されている。

電池素子に接続される64個の端子(SC00～SC63)には、フローティング状態を避けるため、約90K Ω の抵抗で終端されている。さらに、電流が供給されている状態での電池素子の起電力と V_{ref} 電位を比較する要求もあることに鑑み、オプションとして4種類の内蔵抵抗が接続できるようになっている。その値は、D0=H、D1=H、D2=H、D3=Hと設定した場合、それぞれ、1.52K Ω 、760 Ω 、380 Ω 、10K Ω であり、実際のシャント抵抗値は、D0～D3のHとなる上記抵抗の総和となる。

3.2 設計手法、及び、試作

本半導体LSI(PDIC)は東大VDEC (VLSI Design & Education Center)の設計環境で設計され、VDECを介してローム社の0.18 μ m CMOSプロセス技術で試作された。この0.18 μ m CMOSプロセスでは電源電圧として1.8Vが推奨されている。

半導体集積回路 (LSI) 設計ツールであるCadence社のVirtuosoは、階層設計をベースにしている。設計にあたっては、まず回路図を作成しLSI設計で一般に用いられているHSPICEを用いて動作検証、タイミング検証を行った。次に、LSIのシリコン上のパターンニングのためのレイアウト設計を行った。Virtuosoでは、一つの回路群 (Instance) に対し、回路図 (schematic)、レイアウト(Layout)、シンボル(Symbol)の3セットが用意されている。シンボルはその上位階層の回路群で用いられるその回路群の入出力端子がついたボックスである。設計したレイアウトが0.18 μ m CMOSの設計ルールに合致しているかどうか(プロセスのデザインルール)の検証にはCalibre社のdrc (Design Rule Check)、回路図とレイアウトの一致検証にはCalibre社のlvs (Layout vs Schematic)を用いた。なお、VDECへのチップデータ提出にあたっての検証としては、レイアウトデータの密度チェック(デンシティ・チェック)も行う必要がある。微細化に伴い、この世代のプロセスでは、パターンの粗密が製造の精度に影響するためである。

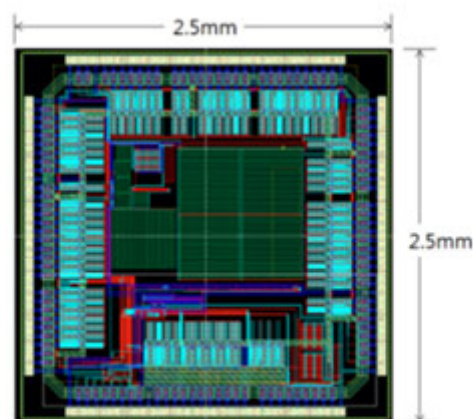


図5 PDICのチップレイアウト

設計されたPDICのチップレイアウトを図5に示す。チップサイズは、2.5mm×2.5mmであり、QFP-1 60pinパッケージに封入されている。このPDICは最大で64個での電池素子を接続できるようになっている。

3.3 PDICの評価結果

PDICの評価には、CTS (Cloud Testing Services) 社のCX1000Pを用いた。このテスターはPC制御により、一台で電流・電圧測定からパルスの発生、タイミング測定まで可能である。ひとつの測定をあるパラメータを変化させながら2次元的に測定する(シュム・プロット)機能、各種の測定項目を自動的に連続測定機能も有する。測定するためのハードは無料貸し出されるが、ある測定項目に対する評価プログラム(IP)は月極で有料というビジネスモデルである。なお、CTS社のweb-siteには導入事例として紹介されている⁹⁾。

まず、市販(フジクラ製)のDSSC4個を用いてPDICの動作検証を行った。光を照射した3個のDSSCの個々特性とブラインド状態においた1個のDSSCの特性を図6に示す。

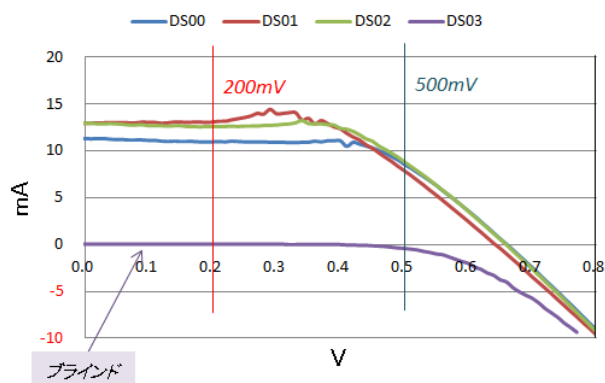


図6 個々のDSSCの特性

ブラインド状態では当然ながら発電電流は非常に小さく、VOC(開放電圧)、ISC(短絡電流)も低く、VOC以上の電圧を印加すると抵抗体となってしまっていることがわかる。

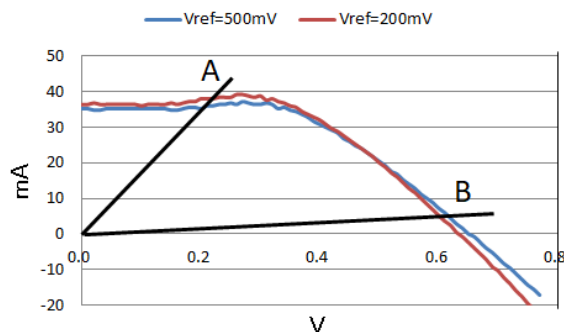


図7 PDICを使った総電流特性

PDICを介しての集電状態での特性を図7に示す。この図では、Vrefが200mVの場合と500mVの場合の2通りの特性を記載している。総電流としては図6に示した個々の電流の総和が出力されており集電機能が働いていることがわかる。また、出力電圧がブラインドDSSCのVOCである500mVまでは、Vref = 200mVに設定した方が、総電流値が高いが、それ以上の電圧では、Vref = 500mVの方が、総電流値が多い。これは、Vref=200mVに設定すると、出力電圧が0.5V以下ではブラインド状態の素子も総電流値に寄与しているが、抵抗体になってしまう0.5V以上では、このDSSCにリークがみられ総電流が低くなるためである。これに対し、Vref=500mV設定では、ブラインドDSSCはシステムから切り離されているのでリークはない。従って、出力電圧が500mV以上では出力電流が200mV時より大きくなっている。このことは、この発電システムの最大電流を供給できるVrefに最適値が存在することを示している。例えば図7のAのような特性を有する負荷の場合は、Vref=500mVより、Vref=200mVが大きな電流を供給できるが、Bのような負荷の場合にはVref=500mVの方が大きな電流を供給できていることがわかる。DSSCの発電特性は、個々のDSSCの特性バラツキもさることながら、その置かれた環境にも大きく依存する。すなわち、雲や木々の遮蔽物による日照条件の影響、太陽の入射角などである。このため、発電システムを常に最適状態においておくには、システム出力電流をモニターしながらVrefを時々刻々変化させていく必要がある。前述のように、PDICの消費電流は抑えるためには、このVrefと起電力を比較するMONEN信号の周期を長くすればよいが、最適状態の保持精度は落ちるというトレード・オフの関係にある。

DSSCの位置情報(アドレス)を変化させると対応するレジスタ内容がDOUTとして出力され、その発電状況がモニターできる。図8に、アドレスを8個分スキャンし内3個が発電状態においた場合のDOUTの波形を示す。発電しているDSSC(SC00-02番地)のDOUTはHigh、非発電DSSCアドレス(SC03-07番地)ではLowが出力されており、設計通りの動作していることが確認できる。

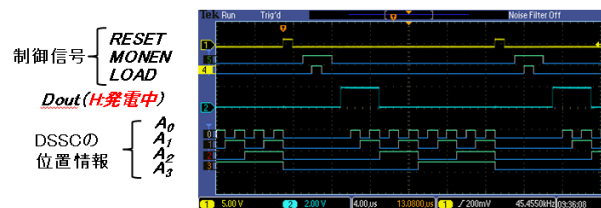


図8 PDICを使った発電状態のモニタ

このことより、不良電池素子の場所特定は容易であり、並列接続なので不良素子の置換も容易である。

トランスファークエートの電流電圧特性を実測した結果、SC00(0番地のDSSC)から総電流出力端子(PW_SUM)までの抵抗値は1.67Ωであった。トランスファークエートのチャンネル幅Wは、5,760umで設計されて、HSPICEによるシミュレーション((1)式で計算)では0.13Ωであった。この値は実測より約1.5Ω大きい。この値は、LSI内の配線抵抗をはじめとする寄生抵抗と考えられ、この値の低減がPDIC設計上の要点であることがわかる。

4. DSSCの原理と本学での試作

4.1 DSSCの原理

DSSCの発電原理を、図9をもとに説明する。

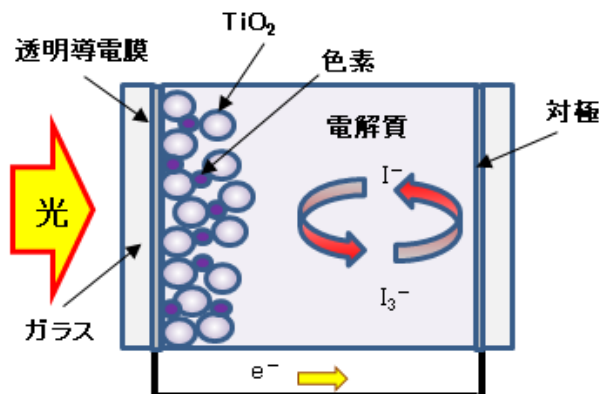
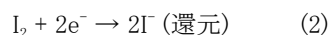
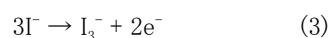


図9 DSSCの動作原理

ヨウ素分子 I_2 は電子親和力が強く外部から電子を得てイオンになりやすい。



I^- の濃度は図の右側(陽極側)が高く左側(陰極側)に向かって拡散する。受光側(陰極側)では、入射した光が色素の電子を光励起し、励起された電子は酸化半導体層(TiO_2)を移動する。この電子は拡散にて陽極(図右手)から拡散してきた I^- から供給され、



と、 I_3^- が生成される。この I_3^- は濃度の薄い右側に拡散していき再度電子の供給をうけ、 I^- が生成される。



この反応を繰り返している。この結果、透明電極(ITO or FTO)の導電層を通して電子が外部回路を移動することになる。

TiO₂ のエネルギー準位はSCE(真空エネルギー準位)に対して-0.7V、I⁻/I₃⁻極の酸化還元電位はSCEに対して0.2Vとされていることから、0.9Vが起電力の最大値とされている¹⁰⁾。

4.2 DSSCの本学での構造と試作

新発電システムの動作検証を行うために、電力変換素子としてまず本学で試作したDSSCを用いることとした。その構造と試作方法について述べる。DSSCの試作については、東京都市大、宗像研究室のご厚意によりその製作ノウハウをご教授いただき、大幅な発電効率向上が図られた。試作したDSSCの構造を図10に示す。

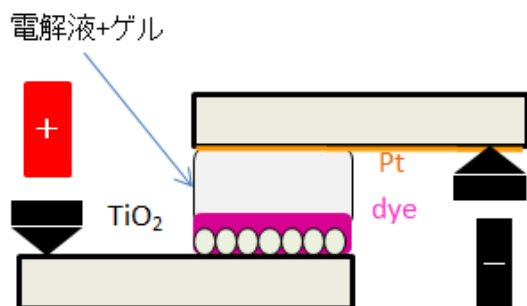


図10 本学で試作したDSSCの構造

試作工程は以下の通りである。

まず、陰極としては導電性ガラス(FTO)にスカージー法によりTiO₂を塗布した後、電気炉でアニーリングする。これに色素を吸着させる。色素としては三菱製紙株式会社製 D358を使用している。D358のスペクトラム吸収特性と分子構造を図11に示す。D358を選択した理由は、植生が必要としない緑波長近辺に対する吸収特性が良好のためである。

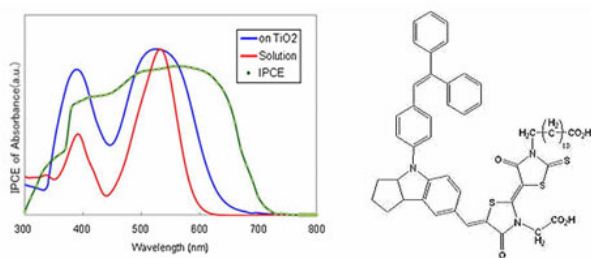


図11 色素D358のスペクトラム吸収特性

一方、陽極としては導電性ガラスに塩化白金酸プロパノールを塗布し、焼成して白金電極を形成する。その後電解質溶液を塗布する。こうして出来上がった陽極と陰極を接着剤で張り合わせて密封する。

導電性ガラスとのオーミックコンタクトをとるために、図12に示す治具も新たに作成した。二枚の銅板で、陽極、陰極、それぞれを挟み込むような形状とし、ここをネジ止めることで導電ガラスと銅板との接触抵抗を低減させている。なお、図12に示すDSSCの受光部分の大きさは1cm×1cmである。

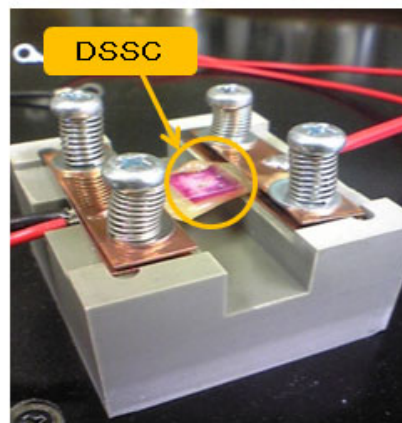


図12 試作DSSCと取り付け治具

5. 新発電システムの動作検証

5.1 本学で試作した64個のDSSCによる集電特性

図13に示すように、野外にてDSSCを64個並列に並べてその特性を評価した。

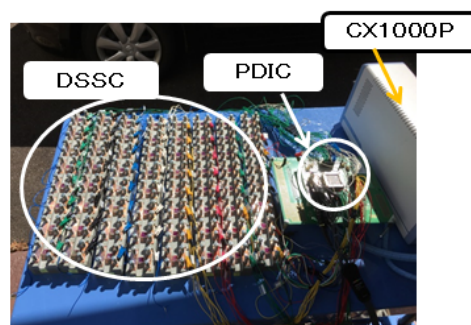


図13 試作64個のDSSCを用いた新発電システムの評価

3.1で述べたように個々のDSSCの特性は、PDICの対応するトランスファゲートを制御するメモリのデータのみ、“1”に書き換えるだけで測定することができる。CTSの連続測定機能を使い、64個のDSSC電流電圧特性を測定した結果を図14に示す。

DSSCは、同一の条件で試作したが、マニュアルでの作成あることに加え、現時点で電力変換効率を高めるためのパラメータが抑えられていないため、特性バラツキが大きい。ISC(短絡電流:0Vの時の電流値)は、0~6.96mAに分布、VOC(開放電圧:電流0時の電圧値)も0~0.78Vに分布しており、発電していない素子もある。これは今後本学でのDSSC試作において解決すべき課題のひとつである。

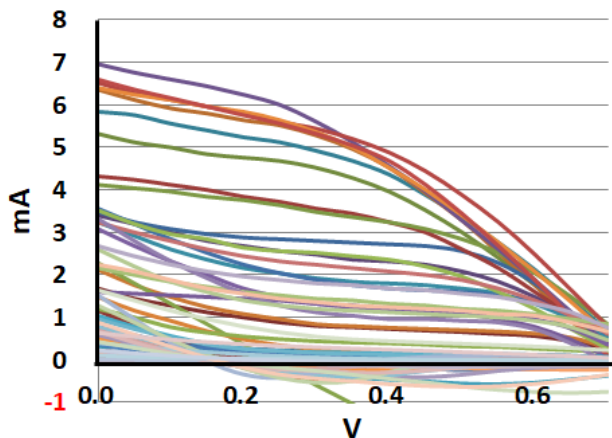


図14 64個のDSSCの個々の特性

これらのバラツキがある64個のDSSCの総発電電流を、PDICを使って集電した特性を図15に示す。この図は、 V_{ref} を0mV～300mV間でパラメータとして変化させ、その依存性も調べている。なお、 $V_{ref}=0$ mV時の値は、PDCに搭載したCMOSコンパレータの動作限界以下なので、すべての電池素子のトランスファークラップを強制的にON、すなわち、接続状態にして測定したものである。

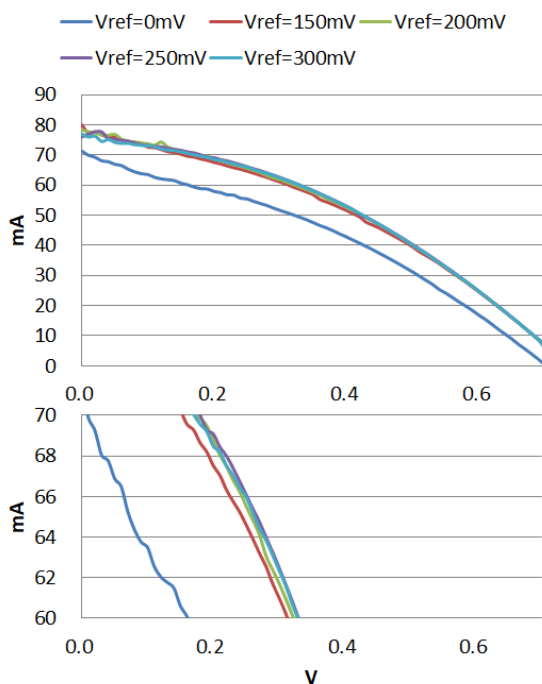


図15 PDICによる集電特性(上:全体、下:拡大)

図15には縦軸の電流範囲が0～90mA間の全体図と、60～70mA間の拡大図も示している。これらの図からわかることは、 $V_{ref}=0$ mV、すなわち、すべてのDSSCを直結するよりも、PDICを用い適切な V_{ref} で発電不良のDSSCをシステムから切り離すことで、システムの集電効率が上がる、すなわち、PDICを用いる有効性が証明されたというである。さらに、図15下部の拡大図から、出力電圧として何Vを外部負荷に供

給しなければならないかにより、最大の電流を供給しうる最適な V_{ref} が存在するということがわかる。これは、3.3のPDIC動作確認のため4個のDSSCを用いた測定結果からも予想されたことではあるが、このように多数個用いた場合でも、実証された。 V_{ref} の最適値は、野外実験で用いたDSSCの組み合わせとその測定環境下での出力電圧にもよるが、150mV～250mVの間に存在している。この最適値はDSSCの組み合わせと測定環境により変化すると思われる。

5.2 集電特性の経時変化

64個のDSSCの集電特性の一時間毎に測定した経時変化を図16示す。

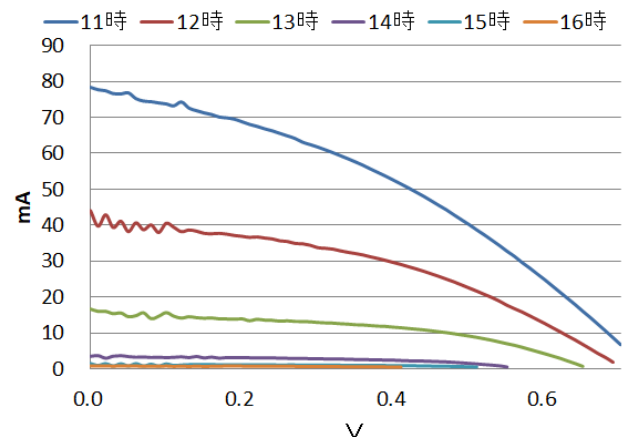


図16 64個のDSSCの経時変化

初秋の日向で測定し続けたが、数時間で特性劣化が見られた。DSSCの封止条件を含めた原因究明と対策が急がれる。

5.3 新発電システムの評価

64個の1cm×1cmのDSSCを並列にPDICに接続した場合、上記のように、100mA程度の集電は可能であるが、電圧はあくまでも0.7V程度にとどまる。これを各種電子機器に応用する場合は2.5V～3.3Vに昇圧する必要がある。このシステムを図17に示す。

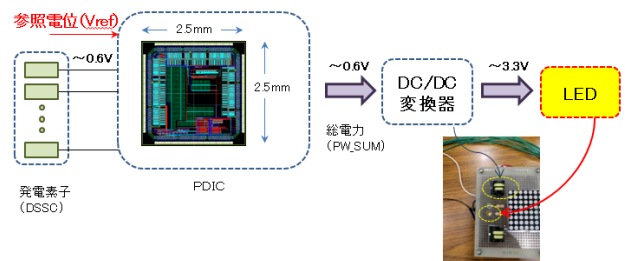


図17 新発電システムの実証実験

本システムを用いLEDを点灯させることに成功した。なお、DC/DCコンバータには株式会社シーディエヌのLVBC03シリーズを使用している。

6．今後の展開を考慮したPDICの機能拡張

PDICの基本機能確認とその応用における有用性について述べてきたが、今後、さらなるシステムの展開のためにいくつかの回路TEG (Test Element Group) が搭載されている。その評価結果と今後の課題について述べる。

6.1 Vrefトラッキング回路

5.1の集電特性で述べたように、VrefにはPDICからの最大電力を得る最適値があり、その値は負荷特性に依存する。さらに、各素子の特性バラツキに加え、システムが置かれた周囲環境によって変化する。従って、その時々状況に合わせ逐次最適なVrefを設定し続ける必要がある。この回路をVrefトラッキング回路と称し、図18に示すブロックダイアグラムを用いた回路を設計し搭載し、評価した。まず、図18を用いてこの動作を説明する。

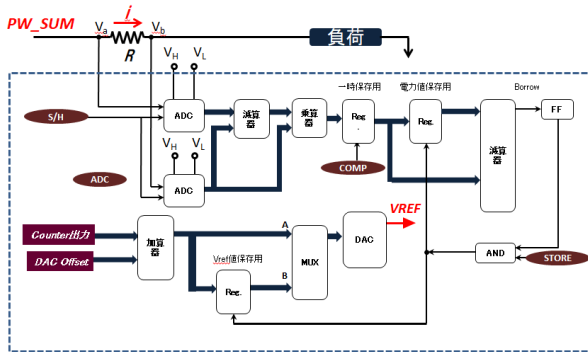


図18 Vrefトラッキング回路のブロックダイアグラム

トラッキングは、TRACK信号 (図には記載されていない) の立ち上がりで始まる。図18に示すようにVrefは、あらかじめレジスタに設定されているオフセット値と外部からのクロック信号によってインクリメントされるカウンター出力の和 (デジタル値) を、DAコンバータ (DAC) によりアナログに変換し、図の”VREF”として発生される。オフセットを最適値近傍に設定しておけば、TRACKの時間短縮できる。

負荷に印加される電力は

$$P = i * V_b = (V_a - V_b) * V_b / R \quad (5)$$

と計算される。すなわち、

$$P' = (V_a - V_b) V_b \quad (6)$$

を計算し、その最大値を与えるVrefに設定すればよいことになる。このため、PDICからの集電出力 (PW_SUM) と負荷 (Load) 間に抵抗を設け、まず、”ADC”信号により、ADコンバータ (ADC) をactiveにした後、その両端の電圧 Va、Vbを、S/H (Sample/Hold) のタイミングで、それぞれデジタル値に変換する。そして除算器、乗算器によりP'が計算され、この値が一時保存用のレジスタに格納される。これを、COMPのタイミングで、それ以前のVrefでのP'と比較し、以前のP'より大きければ減算器によってBorrow

が立つので、STOREのタイミングで、現在のVrefを決めているデジタル値をVref値保存用レジスタに格納する。もし、小さければ (BorrowがHighにならなければ)、Vref格納用レジスタ内容は変更されない。この動作をTRACKがHの間、カウンタのデジタル値をインクリメントしながら続ける。トラッキングが終了したなら、インクリメントをやめ、Vref保存用のレジスタ内容がDACを通して”VREF”として出力される。

この回路の実際のLSIにおける動作波形を図19に示す。



図19 Vrefトラッキング回路の動作検証

この回路は上述のようにクロック (RFCLK) で動作する。まず、各レジスタをインシャライズ信号 (INIT) で初期化する。次にTRACKを立ち上げて最適値のアーチを開始、TRACK=Hの間では、Vref出力はクロック信号に従ってインクリメントされるので増加してゆき、逐次、P'を計算する。なお、ここでは動作確認のみなので測定を簡略化するためVbは0Vと設定している。図19により、トラッキングをやめ、TRACK=Lとなった時点で、VaがHighとなった時点でVrefの値を出力しており、回路が正常動作していることがわかる。

6.2 内部昇圧回路検討

5.3の新発電システムの動作検証では、PDIC出力電圧の昇圧に外部部品を使ったが、この昇圧回路をPDICに内蔵できればシステムのコストダウンが図れる。この可能性はあるか否かを検討した。用いた昇圧回路は、CMOS-LSIで一般的に昇圧に用いられる図20に示すチャージポンプ方式の回路である。

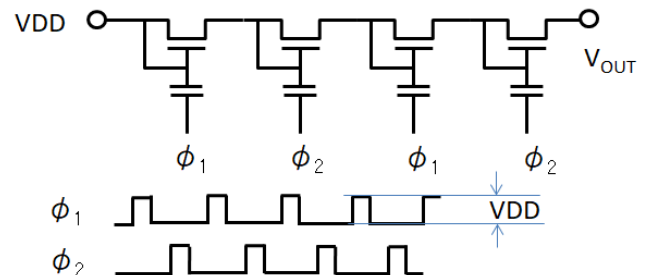


図20 チャージポンプ型の昇圧回路

図20に示したように昇圧元は電源電圧VDDであり、クロックとしてφ1、φ2の2種類を用いる。このクロックは電源電圧VDDの下で発生されるのでパルスの高さもVDDである。チャージポンプ回路では、VDDから順次電荷を転送してゆき、この転送された電荷でVOUTが昇圧される。この昇圧回路の

VOUT(昇圧電圧)の電流電圧特性を、電源電圧VDDをパラメータとして変化させて測定した結果を図21に示す。昇圧電圧が高くなるに従って供給電流はほぼ線形に減少していることがわかる。

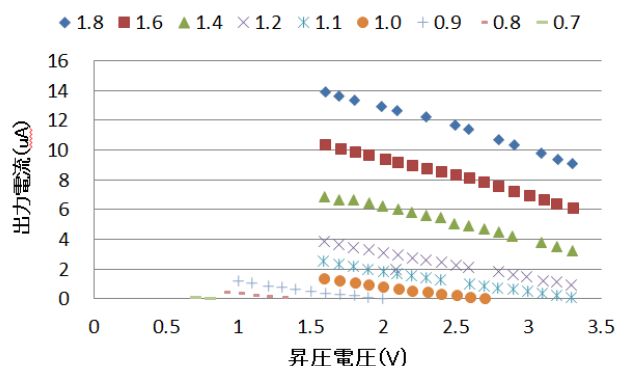


図21 チャージポンプのI-V特性(3.3Vtr)

この供給可能な電流値については、トランジスタのサイズ、及びキャパシタの値を大きく設計し、 $\phi 1/\phi 2$ の周波数を上げれば、増大させることができることがわかっている。しかし、電荷が転送されるためには、図20の回路からわかるように、nMOSトランジスタ閾値を V_{th} とした場合、

$$VDD - V_{th} > 0 \quad (6)$$

でなければならない。なお、ここでの V_{th} はnMOSのソースが昇圧された状態での閾値電圧であるため、バックゲート効果によりソースの電圧が高くなればなるほど増大する。従って、この回路の昇圧できる最大電圧は、 V_{th} がVDDに達した時点でのバックゲート電圧の値によって決まる。その最大電圧の実測値とシミュレーション値を表1に示す。ローム社の0.18um CMOSプロセスには、1.8V電源用のCMOSと、3.3V電源用のCMOSの2種類が用意されているので、比較のために、その両者のシミュレーション結果と実測値を示している。表中の実測値(無負荷)は、昇圧回路の電流・電圧特性が図21のより出力電圧に対して線形に減少するので、実測結果から一次の近似曲線を算出し、その電流ゼロ時の電圧とした。なお、1.8V CMOSトランジスタの最大定格電圧は2.0V(+10%)なので、それ以上昇圧させる場合は昇圧回路にリミッタを接続させ回路を保護する必要がある。

VDD	1.8V MOS		3.3V MOS	
	実測(無負荷)	Simulation	実測(無負荷)	Simulation
1.8	10.49		5.42	
1.6	8.39		5.86	
1.4	6.83		4.84	
1.2	5.42		3.87	
1	3.71		3.00	
0.9	2.91		1.96	
0.8	2.16		1.36	
0.7	1.46	3.09	0.84	1.51
0.6	0.87	2.01		0.95
0.5		1.14		0.48

表1 チャージポンプ回路の昇圧電圧

この結果から、1.8V用のCMOSを用いた方が、より低電圧からの昇圧が可能であり、バックゲート効果が小さいこ

とがわかる。しかし、その1.8V用トランジスタを用いても、VDD=0.7Vでは、実測では1.46Vまでしか昇圧できない。この結果は3V程度までの昇圧は可能であるとのシミュレーション結果と大きく異なる。この回路についてはシミュレーションと実測の齟齬が大きいこともわかる。

以上の結果より、現行の0.18um CMOSプロセスで構成し昇圧回路は、単体電池素子の起電力レベル(～0.7V)から実用上の電圧(～3.3V)までの昇圧は不可能との結論となった。これは、VDECでの試作プロセス(ローム社の0.18um CMOSプロセス)が、論理回路LSI用に最適化されたものであり、フラッシュメモリのような昇圧回路専用のバックゲート効果の小さい特殊トランジスタを用いることができないためである。但し、現在は電池素子(例えば、DSSC)1個を1ユニットと考えているので、2～3個の電池素子の直列接続を1ユニットとすれば、現行の半導体プロセスの昇圧回路でも所望の電圧まで昇圧することはできる。

7. 結論

低電圧発電素子からの効率的な集電を可能とする半導体電力分配器を提案し、色素増感太陽電池(DSSC)を、64個並列接続した新発電システムの実証実験を行い、LEDの点灯に成功するなど所望の動作確認ができた。また、これからのPDICの改良に向けたいくつかの回路の動作も確認できた。但し、0.7V起電力を有する単体電池素子からの昇圧回路の内蔵は、現行の論理LSI向けのVDEC半導体製造プロセスでは難しく、フラッシュメモリのような特殊トランジスタを使える製造プロセスを使用する必要があることがわかった。また、今後、本PDICを光スペクトラム選択性に優れるDSSCに適用して行くには、DSSCの試作工程におけるキーパラメータを抑え、再現性良く試作してゆく必要のあることもわかった。DSSCの長期信頼性も課題である。

また、排熱、振動、電波などのエネルギー源から電気に変換する電池素子など異種の発電素子との組み合わせ実験も今後の行ってゆき、得られた知見をPDICの設計にフィードバックしてゆく予定である。

謝辞

本研究を遂行するにあたって、飯吉厚夫理事長、山下興亜前学長、後藤俊夫前副学長にご助言と多大なご援助をいただきました。ここに厚く御礼申し上げます。また、LSI設計環境を整備いただいた東大の名倉徹准教授(現、福岡大教授)、並びに、LSIを試作していただいた東大VDECに感謝いたします。さらに、DSSC試作ノウハウをご教授いただきました東京都市大の宗像文男教授をはじめとする宗像研究室の学生諸君、設計、測定、実験を手伝ってくれた中部大学の石井研、宮本研、伊藤研、佐藤研、内田研、武藤研の学生諸君にも御礼申し上げます。

参 考 文 献

- 1) 佐藤元泰、宮本順一、田中基彦、伊藤響、加藤章、佐藤綾花、”緑波長域太陽電池とマイクロ波加工による自然エネルギー産業構造の構築“マイクロ波エネルギー応用学会シンポジウム (2013/9/4, 東工大)
- 2) 田中基彦, 善甫康成, 佐藤元泰, 宮本順一, “波長域選択型・有機太陽電池材料の開発: 量子化学による分子設計”マイクロ波エネルギー応用学会シンポジウム (2013/9/4, 東工大)
- 3) J. Miyamoto, M. Sato, H. Itoh, M. Tanaka, A. Kato, S. Hasegawa, Y. Suzuki, and F. Munakata, “Field Test of Dye-Sensitized Solar Cells (DSSC) by utilizing a Power Delivery CMOS Integrated Circuits”, Extended Abstracts of the 2015 International Conference on Solid State Devices and Materials, Sapporo, 2015, pp530-531,
- 4) J. Miyamoto, M. Hiramoto, T. Kajī, M. Sato, H. Itoh, and A. Kato, “Development of a Power Delivery IC for Wavelength Selective Solar Cells”, Institutes for Molecular Science, Annual Review 2014, Joint Studies Programs B, p114
- 5) J. Miyamoto, M. Hiramoto, T. Kajī, M. Sato, H. Itoh, and A. Kato, “Novel Power Generation System with a Power Delivery Integrated Circuits, suitable for Energy Harvesting”, Institutes for Molecular Science, Annual Review 2015
- 6) 特許出願(特願2015-059141) 宮本順一「電力制御装置および電力供給装置」2015/3/23
- 7) 特許出願(特願2014-03514) 宮本順一、佐藤元泰、田中基彦「出力制御回路」 2014/3/1
- 8) 特許出願 (特願2013-0409218) 宮本順一、佐藤元泰、田中基彦「出力制御回路」 2013/3/1。
- 9) <https://www.cts-advantest.com/ja/stories/chubu-univ-dssc-cts>
- 10) 荒川裕則企画監修 “色素増感太陽電池” シーエムシー出版、2008