

$\Delta \Sigma$ 変調 AD コンバータの構成

丹羽 崇智*, 早原 悦朗**

Synthesis of the $\Delta \Sigma$ AD Converter

Takanori NIWA* and Eturo HAYAHARA**

(Received August 30, 2007)

The realization of high-resolution AD converters is required with the progress of digital signal processing technique. Recently, the delta-sigma AD converter is widely used as a high-resolution AD converter, whose the performance depends on its noise-shaping characteristics and is suitable for LSI implementation. This paper discuss the problems of the delta-sigma AD converter design and proposes a design method of the delta-sigma AD converter having the specified noise-shaping characteristics. The effectiveness of the proposed design technique is confirmed by PSPICE simulations and experimental results.

Keywords: delta-sigma AD converter, noise-shaping characteristics, loop filter, oversampling ratio

1. 緒 論

近年のディジタル信号処理技術の発展とともに高分解能ADコンバータ（アナログーディジタルコンバータ）の実現の必要性が高まってきた。さらに最近の電子機器はIC化、LSI化の可否が実用性を決定づけるがADコンバータもその例外ではない。従来のAD変換（アナログーディジタル変換）に用いられてきた逐次比較型、積分型、全並列型などのADコンバータの分解能はLSI化の際のマスク精度によって決まり、現状ではマスク加工技術がほぼ限界に達しておりより高分解能の実現は困難である。従来、ADコンバータはビットレートが小さいほどデータ量が少なくなりデータ保存に便利なのでアナログ信号の最大周波数帯域 f_c に対する必要最小限のサンプリング周波数、すなわち $2f_c$ に近いサンプリング周波数でサンプリングを行ってきた。

これに対し $2f_c$ 以上のサンプリング周波数を用いるオーバーサンプリングを用いると信号帯域外の不要な雑音を取り除くプレフィルタやDA変換に用いるポストフィルタなどのハードウェアの設計が容易になるという長所がある。したがってデータ保存には必要最小限のサンプリング周波数を用いてビットレートを小さくし、またAD変換、DA変換にはオーバーサンプリング技術によりサンプリング周波数を高くしてビットレートを大きくし、ハードウェアの負担をすくなくする方法が広く用いられるようになった。このような考え方を発展させたADコンバータに $\Delta \Sigma$ 変調ADコンバータがあり、近年広く実用化されている。

Δ 変調が文献で初めて発表されたのは1952年とかなり古い¹⁾。 $\Delta \Sigma$ 変調ADコンバータは Δ 変調の変形とも考えられ、当初はループフィルタの構成素子にアナログ積分器が用いられたが、これではLSI化には適さない。その後IC技術の発展とともにスイッチトキャパシタ技術が開発され、積分器はスイッチトキャパシタ積分器、1ビットADコンバータにはコンパレータ、1

*情報工学専攻大学院生

(Graduate Student, Computer Science)

**情報工学科 (Department of Computer Science)

ビット遅延回路にはDフリップフロップとLSI化に適した回路素子で構成できまさにLSI化ADコンバータに最適の方式といえる。さらに分解能はオーバーサンプリング比を大きくすることにより従来型ADコンバータよりはるかに高くすることができる。たとえば音声帯域用のADコンバータで比較すると従来型では15～16ビットの分解能が限度なのに対し $\Delta\Sigma$ 変調型では18～20ビットのものが実用化されている。しかしその反面、オーバーサンプリング比を高くするほど分解能は高くなるがサンプリング周波数も高くなるので必然的に画像信号のような広帯域用のADコンバータには適さない。さらにこの方式はループフィルタの次数が高くなると回路動作が不安定になりやすい。そこで1次 $\Delta\Sigma$ 変調器を多段接続し前段の変調器の雑音成分を次段でうち消すMASH方式の $\Delta\Sigma$ 変調ADコンバータも提案されており³⁾、この方式は回路の安定性は常に保たれるが出力コードは多ビットとなるため回路が複雑になる。これらの問題点に対し安定に動作する高次ループフィルタの構成法に関する論文が数多く発表されている。しかし安定かつ指定の分解能をもつ回路の組織的な設計法は見当たらず、指定の分解能を実現する手法はカットアンドトライが主流なのが現状であり、より効率的な設計法が試みられた^{4), 7)~9)}。本報告はこれらの提案、問題点を検討し、 $\Delta\Sigma$ 変調ADコンバータの組織的な設計法の検討を行ったものである。

2. $\Delta\Sigma$ 変調型ADコンバータの発展と問題点

2.1 $\Delta\Sigma$ 変調ADコンバータの基本構成

一般にADコンバータの量子化雑音電力スペクトラムの総和はADコンバータの分解能が同一であれば0からサンプリング周波数の間にほぼ一定に分布する。たとえばサンプリング周波数 f_0 の雑音電力スペクトラムは図1(a)のようになるがサンプリング周波数を高くし同図(b)のときの雑音電力スペクトラムは(b)のようになる。従ってサンプリング周波数を高くすればそれだけスペクトラム強度も減少するのでオーバーサンプリングを用いると量子化雑音レベルは低下する。し

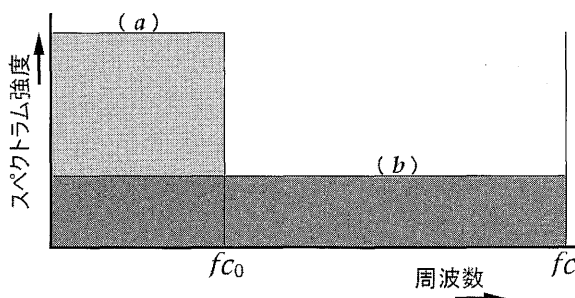


図1 オーバーサンプリング出力の雑音スペクトラム

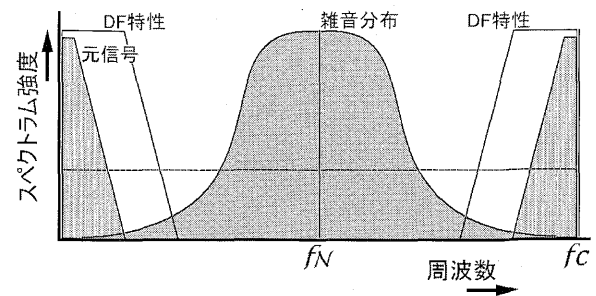


図2 $\Delta\Sigma$ 変調ADコンバータ出力の雑音スペクトラム

かし単純にサンプリング周波数を高くするだけでは雑音は減少するがそれほど顕著な分解能の向上は望めない。そこで図2のようにサンプリング周波数を高くするとともにデジタルフィルタ(DF)を用いて雑音分布を信号帯域外に移動させれば帯域内信号のSN比(信号対雑音比)は一層向上し高分解能が期待できる。このときの雑音分布特性をノイズシェーピング特性という。

さて、オーバーサンプル比の高いデジタルデータはビットレートが高くデータ保存には不便である。そこでデータの分解能を下げないでビットレートを低くするためにまず信号帯域外の雑音を除去した図3の周波数スペクトル信号を作り、このデジタル信号を間引くとその周波数スペクトルは図4のようになりビットレートを下げることができる。この操作をデシメーションという。このとき折り返し雑音が信号帯域内へ混入することを防ぐためには信号帯域外の雑音を除去するこ

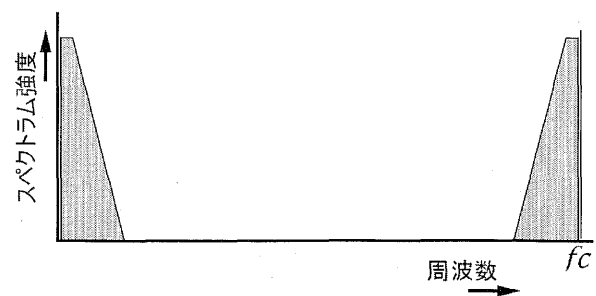


図3 デジタルフィルタ出力の信号スペクトラム

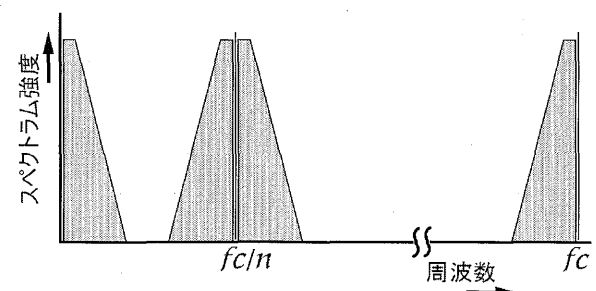


図4 デシメーション後の信号スペクトラム

とは不可欠である。また逆にDA変換の際にはデジタル信号のビットレートが高い方が望ましく、ビットレートを高くする操作をインタポレーションという。ΔΣ変調ADコンバータはこのような考え方にに基づき、雑音スペクトラムが信号帯域外に分布するノイズシェーピング特性とオーバーサンプリングとを利用して1ビットのADコンバータとループフィルタを用いて高分解能を実現するものである。

2.2 ΔΣ変調ADコンバータの構成回路

図5はn次ΔΣ変調ADコンバータのブロック図である。同図はnが奇数の場合で、偶数の場合は最終段の加算器と積分器を除いた構造となる。ブロック図からわかる通りこのADコンバータの主要な構成要素は積分器である。この積分器を実現する方法にはアナログRC回路によるミラー積分器を用いる方法やスイッチトキャパシタ積分器を用いる方法があるが、IC化を考えればスイッチトキャパシタ回路で構成するのが便利でほとんどの場合スイッチトキャパシタ回路が用いられる。たとえば図中の点線内の部分をスイッチトキャパシタ回路で実現した場合は図6のようになる。入力側の $-b_1z^{-1/2}$ は図5のブロック図を図6のスイッチトキャパシタ回路で実現すると生ずるものである。また図6からわかる通り、i番目の積分器の出力 V_i からi-1番目の積分器の入力への帰還ループ a_i は V_i から逆相帰還する必要があるため、アナログスイッチのフェーディングは図6中に示す通りとなるから半周期の遅延を生じ、帰還量は $z^{-1/2}a_i$ となる。さて、図5で積分器の

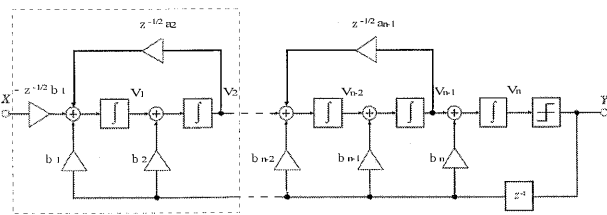


図5 ΔΣ変調ADコンバータ

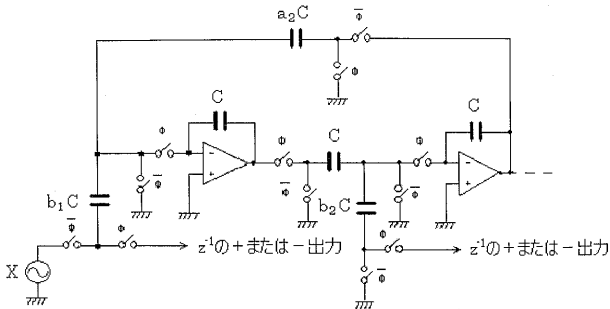


図6 スイッチトキャパシタ回路による実現

伝達関数を $-1/(1-z^{-1})$ 、コンパレータの入出力特性を $V_{co} = kV_{ci} + Q$ と表せるものとする。ただしkはコンパレータの線形利得、Qは白色雑音スペクトルである。このとき入力Xに対する出力Yは

$$Y = FX + GQ \quad (1)$$

となる。ただし

$$F = \frac{-z^{-1/2}b_1k}{H_1 + kz^{-1}H_2} \quad (2)$$

$$G = \frac{H_1}{H_1 + kz^{-1}H_2} \quad (3)$$

$$H_1 = \begin{cases} -W \prod_{i=1}^{n/2} (W^2 + z^{-1/2}a_{2i}) = -W(W^2 + z^{-1/2}a_2) \cdots (W^2 + z^{-1/2}a_{n-1}) & n \text{ 奇} \\ \prod_{i=1}^{n/2} (W^2 + z^{-1/2}a_{2i}) = (W^2 + z^{-1/2}a_2) \cdots (W^2 + z^{-1/2}a_n) & n \text{ 偶} \end{cases} \quad (4)$$

$$H_2 = (-1)^n \sum_{i=1}^{(n+1)/2} [(b_{2i-1} - b_{2i}W \prod_{j=1}^{i-1} (W^2 + z^{-1/2}a_{2j}))] \quad (5)$$

である。回路の安定性はF, Gの分母多項式すなわち $H_1 + kz^{-1}H_2$ のzの全ての零点が単位円内すなわち $|z| < 1$ ならば安定、一つでも $|z| > 1$ なら不安定と判別できる。しかし線形利得kの値は入力信号電圧によって変わるので上式から直ちに安定性を判別することはできない。この問題を解決するために本報告ではkの値に信号の一周期の平均値を用いて近似的に安定性を判別することとする。

2.3 コンパレータの平均線形利得

先にも述べた通りΔΣ変調型ADコンバータのコンパレータの線形利得kの値は入力信号電圧によって変わる。そこで入力正弦波の振幅を E_m 、コンパレータの出力パルス振幅をΔとするとkは電力関係式より近似的に

$$\frac{1}{2\pi} \int_{-\pi}^{\pi} |G|^2 d\Omega = \frac{1}{\pi} \int_0^{\pi} |G|^2 d\Omega = 3 \left(1 - \frac{1}{2} \left(\frac{E_m}{\Delta} \right)^2 \right) \quad (6)$$

を満足する値で与えられる^{5), 6)}。ただし $z = e^{j\Omega}$ である。

さて信号の通過帯域を $0 \sim f_B$ 、サンプリング周波数を f_s とすると信号帯域内雑音電力 P_N は

$$P_N = \frac{\Delta^2}{3} \frac{1}{2\pi} \int_{-2\pi f_B/f_s}^{2\pi f_B/f_s} |G|^2 d\Omega \quad (7)$$

で与えられるからSN比は

$$SNR = 10 \log \frac{\frac{1}{2} \left(\frac{E_m}{\Delta} \right)^2}{P_N} \quad (8)$$

で与えられる。

3. 設計手順と設計例

$\Delta\Sigma$ 変調型ADコンバータのコンパレータの線形利得が2.3で述べた平均利得で近似できるものとする(3)式のノイズシェーピング特性 G が求められる。従ってADコンバータのノイズシェーピング特性が指定の特性と等しくなるようにするにはこの G が指定のノイズシェーピング特性に一致するようにループフィルタの係数を選ばよ⁸⁾。その手順はまず設計パラメータとして許容信号入力 E_m 、信号雑音比SNR、通過帯域 f_B およびそのときの減衰量 α_B 、オーバーサンプル比OSR、ノイズシェーピング関数となる遮断角周波数 $\omega_c=1(f_c=\frac{1}{2}\pi)$ の基準化高域フィルタ伝達関数 N/D を指定する。このとき N/D は $D(1)=N(1)$ を満足するものとする。次に N/D から f_B を求める。本研究では f を $f_c=\frac{1}{2}\pi$ から減衰量が α_B に達するまで0.0001刻みで逐次減少させ、丁度 α_B に達したときの f を f_B とする。さらにオーバーサンプル比が指定のOSRとなるように $s \rightarrow 2 \cdot \text{OSR} \cdot f_B \cdot s$ の周波数変換を行うと(4)、(5)式より $a_1, \dots, a_{n-m}, b_1, \dots, b_n$ が求まる。最後に(6)、(8)式で得られた E_m 、SNRが指定の要求を満たすことを確認する。以上の手順をフロー図で示すと図7のようになる。

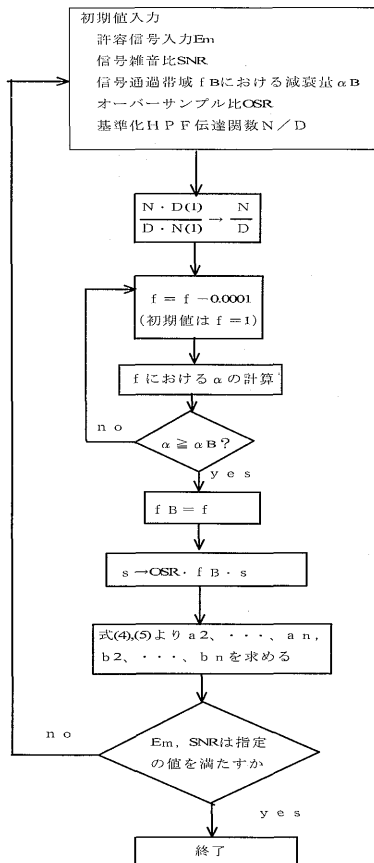


図7 設計フロー図

[構成例] 信号通過帯域内でSN比が60dBの3次 $\Delta\Sigma$ ADコンバータを設計する。まず3次連立チェビシェフ高域通過伝達関数

$$\frac{N}{D} = h \cdot \frac{s(s^2 + 0.04643768)}{s^3 + 3.637322s^2 + 2.321738s + 3.897676} \quad (9)$$

を考える。この伝達関数は通過域許容リップルが $\alpha_p=3\text{dB}$ 、減衰域減衰量が $\alpha_s=60\text{dB}$ である。ただし設計するADコンバータの通過域は高域通過伝達関数の減衰域に当たることに注意を要する。式(9)の h は N/D が $N(1)/D(1)=1$ を満足するように選ぶ。先に述べた手順で回路が動作する最小のOSRおよびSN比が60dBとなるOSRを求めると表1の結果が得られた。

表1 3次 $\Delta\Sigma$ ADコンバータの設計例

ループフィルタ係数	OSR=21 (最小)	OSR=24 (SN比 60dB)
a_2	0.0172016	0.01316995
b_1	0.205975	0.171901
b_2	0.420033	0.374770
b_3	1	1
k	0.797462	0.760812
E_m/Δ	0.210951	0.490298
SNR[dB]	50.8161	60.1880

OSR=21のときのSN比が約50dBと指定より低くなるのは最大許容入力電圧が低くなるためである。例としてOSR=24の場合のシミュレーション結果は図8の実線の通りとなり、また個別部品を用いて実験を行った結果は図8の点線の通りである。ただしシミュレーション、実験とも入力信号に振幅2.45[V]、周波数1kHzの正弦波を用い、クロック周波数は48kHzで行った。実験ではオペアンプはLF356、コンパレータはAD8561、コンデンサの値の有効数字は三桁で行った。実験結果では通過域における雑音レベルがシミュレーション結

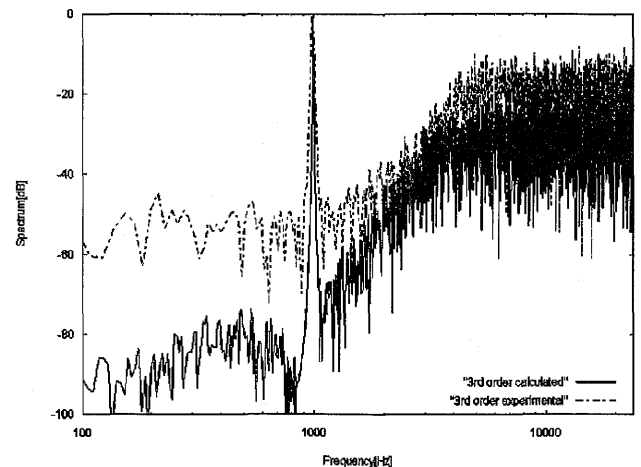


図8 3次 $\Delta\Sigma$ 変調ADコンバータのシミュレーションおよび実験結果 (SNR=60dB, OSR=24)

果よりも高いが、これは外部雑音の影響と考えられる。

実際の $\Delta\Sigma$ 変調型ADコンバータの設計では用途に応じた分解能を得るためにオーバーサンプル比とSN比の関係をj知ることが重要である。図9は3次 $\Delta\Sigma$ 変調型ADコンバータのノイズシェーピング特性によるオーバーサンプル比とSN比との関係を比較したものである。図中F-F, F-W, W-F, W-Wはそれぞれ信号帯域内と帯域外でのノイズシェーピング特性が平坦—平坦, 平坦—波状, 波状—平坦, 波状—波状を意味する。各オーバーサンプル比の算出点は設計された利得を満たし, 安定動作する最も低い値を設計の最低動作するオーバーサンプル比として決定した。この結果より同じオーバーサンプル比のときはノイズシェーピング特性がW-WのときがもっともSN比が大きく, したがって高分解能のADコンバータが実現できることがわかる。図10はW-Wのノイズシェーピング特性のときの次数によるオーバーサンプル比とSN比との関係を比較したものである。3~7までの奇数次のノイズシェーピング特性を選び比較を行った。これにより, 一般に

SN比を大きくするためには高オーバーサンプル比を必要とするが, 高次のW-Wのノイズシェーピング特性すなわち高次ループフィルタを用いることにより比較的低いオーバーサンプル比で高いSN比を実現できることがわかる。

4. 結 論

近年, 従来型のADコンバータに比べ高分解能でIC化, LSI化に適しているという長所を生かした $\Delta\Sigma$ 変調ADコンバータが急速に広まってきた。しかし $\Delta\Sigma$ 変調ADコンバータは安定性, 回路設計法などに未解決の問題があった。そこで本報告ではこれらの問題点を整理し, かつ指定のノイズシェーピング特性をもつ $\Delta\Sigma$ 変調ADコンバータの一設計法を示した。本設計法ではコンパレータの平均利得を用いた近似理論なので理論値とシミュレーションあるいは実験結果との間には多少の誤差は避けられないが, 実用上はそれほど問題にはならず十分有効な方法と思われる。本設計法ではノイズシェーピング特性に連立チェビシェフ高域通過伝達関数を用いたが, 通過域 (ADコンバータの通過帯域外) の許容リプル値の検討やその他のより好結果の得られる高域通過伝達関数を検討する必要がある。また一般にループフィルタの次数が高くなるとループフィルタ係数の広がりが大きくなるので回路実現の際には何らかの工夫が必要である。

今後 $\Delta\Sigma$ 変調ADコンバータの需要はますます広がるものと思われるがLSI化の際には上に述べたループフィルタ係数の問題の他に最大許容入力, オペアンプのGB積の影響, 回路から生ずる雑音などの問題を検討する必要があると思われ, 本報告がその一助となれば幸いである。

参 考 文 献

- 1) de Jaeger, F, "Delta Modulation, A Method of PCM Transmission using The 1-Unit Code", Philips Research Report, vol.7, pp.442-446, 1952
- 2) K. C. Chao, S. Nadeen, W. L. Lee and C. G. Sodini, "A Higher Order Topology for Interpolative Modulators for Oversampling A/D Converters", IEEE Trans. Circuits and Syst. vol.37, no.3, pp.309-318, 1990
- 3) Hayashi, T. "A Multistage Delta-Sigma Modulator without Double Integration Loop", ISSCC Digest of Technical Papers, pp.182-183, 1986
- 4) T.H Kuo, K.D Chen, J.R Chen, "Automatic coefficients design for high-order sigma-delta modulators," Circuits and Syst. II, Vol. 46,

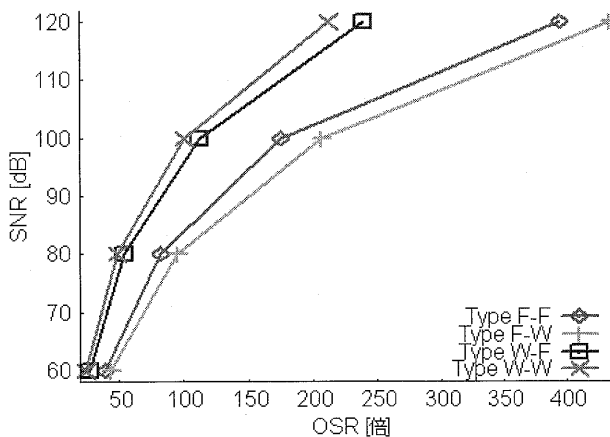


図9 3次ループフィルタのノイズシェーピング特性とOSR-SNRの関係

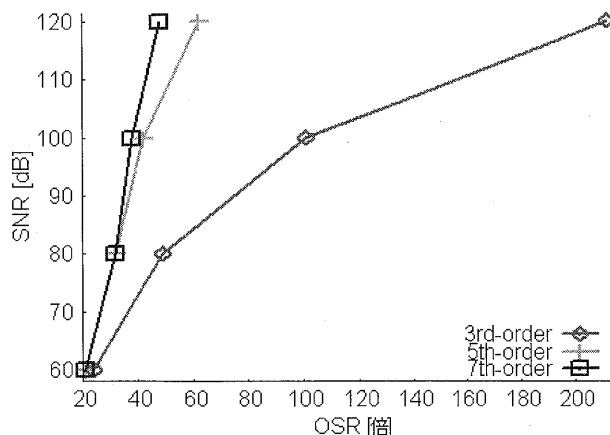


図10 ループフィルタの次数によるOSR-SNRの関係

- no.1, pp.6-15, 1, 1999
- 5) Y. Zhang, E. Hayahara, S. Hirano, N. Sakakibara, "Correlation of Transfer Function Implementation on Delta-Sigma Modulator Stability Analysis," IEICE Trans. Fundamentals, vol.E83-A, no.4, pp.733-739, 2000
- 6) Y. Zhang, E. Hayahara, S. Hirano, "Higher-order Delta-Sigma AD Converter with Optimized Stable Coefficients," IEICE Trans. Fundamentals, vol.E84-A, no.3, pp.813-819, 2001
- 7) 早原悦朗, 青木健一, 平野智, " $\Delta\Sigma$ 変調ADコンバータの一設計法", 電子情報通信学会論文誌(A), Vol.J89-A, no.2, pp.115-120, 2006
- 8) 丹羽崇智, 早原悦朗, "帯域内波状ノイズシェーピング特性をもつ $\Delta\Sigma$ 変調ADコンバータの設計法", 平成18年度電気関係学会東海支部連合大会O-251, 2006
- 9) T.-H. Kuo, C.-C. Yang, K.-D. Chen, W.-C. Wang, "Design Method for High-Order Sigma Delta Modulator Stabilized by Departure Angles Designed to Keep Root Loci in Unit Circle", IEEE Trans. Circuits and Syst. II, vol. 53, no.10, pp.1083-1087 (2006)