

InP系ヘテロ接合バイポーラトランジスタ技術を用いた 100Gbit/s級光伝送用集積回路

石井 清*

Recent Progress in 100-Gbit/s-Class Optical Communications ICs Using InP-Based HBT Technologies

Kiyoshi ISHII*

(Received August 2, 2006)

This paper describes novel InP-based heterojunction bipolar transistor (HBT) technologies and circuit design techniques for small-scale-integration (SSI) for 100-Gbit/s-class optical communications systems. The circuits include a sub-4-ps emitter-coupled logic (ECL) gate, 100-Gbit/s selector circuit, and 90-Gbit/s decision circuit.

It is demonstrated that InP-based HBT technologies and proposed circuit design techniques are attractive for fabricating ultrahigh-speed SSI circuits with data rates approaching 100 Gbit/s.

Keywords: IC, InP-based HBT, ECL gate, Decision circuit, Selector circuit, Optical communications

1. 序 論

InPを用いたヘテロ接合バイポーラトランジスタ (HBT) は高い内部利得、負荷駆動能力、さらにきわめて高い遮断周波数 f_T (トランジスタの速度性能の指標) および最大発振周波数 f_{max} を有することから、超高性能集積回路 (Integrated Circuit: IC) を実現するための有効なデバイスと考えられている。また現在、さまざまな通信サービスを提供するために光伝送システムの大容量化が強く望まれている。広帯域光伝送システムの複雑な機能を、コンパクトかつ低価格で実現するためには超高性能ICを実現することが必要不可欠である。光伝送システムの大容量化に対応した超高性能ICを実現するために、NTTにおいて新しい構造のアンダーエミッタInP/InGaAs HBTおよびInP/InGaAsダブルヘテロ接合バイポーラトランジスタ

(DHBT) 技術が開発されている。

ECL (Emitter-Coupled Logic) ゲートおよびCML (Current-Mode Logic) ゲートは、超高速デジタルICの基本コンポーネントである。それらゲートの遅延時間は、基本電子回路性能を制限する。超高速ECL/CMLリング発振器が、InP系HBT¹⁾やSiGe系HBT²⁾によって実現されている。ECL/CMLゲートの遅延時間を消費電力を増加させることなく向上させるためには、内部論理振幅の低減が有効である。4.2psのゲート遅延時間が、250mVの低い内部論理振幅で実現されている²⁾。しかしながら、きわめて低い論理振幅では、スイッチングが正確に行われなため、さらなる低論理振幅化による遅延時間の短縮はできない。そこで本研究では、ECLゲート遅延時間のさらなる短縮を消費電力の増加なしに実現できる、新しいECLゲート構成を提案した。本報告では、従来型および新しい回路構成によるECLゲートを用いた19段リング発振器

*電子情報工学科 (Department of Electronics and Information Engineering)

ICを設計・試作して、新しいECLゲートの速度性能を議論した。

マスタースレーブDフリップフロップ (MS-DFF) は、広帯域光伝送システム用集積回路において重要な役割を持ち、その動作速度は光伝送システムの性能もしばしば制限する。超高速MS-DFF回路が、InP系HBTおよびInP系HEMTを用いて実現されている。これらの回路では動作速度を向上させるために、非対称ラッチフリップフロップやインダクタピーキング技術が用いられている³⁾⁻⁴⁾。筆者はすでに新しいトグルフリップフロップ (T-FF) を用いたSiバイポーラ周波数分周器を提案している⁵⁾。このT-FFは、消費電力を増加させることなく、動作速度を向上させることが可能であった。本研究では、この回路技術をMS-DFFに適用した。この新しいMS-DFFの性能を評価するために、従来型構成MS-DFFと新しいMS-DFFをコア回路に用いた識別回路を、アンドープエミッタInP/InGaAs HBTおよびInP/InGaAs DHBT技術を用いて設計・試作した。識別回路は、雑音とジッタの重畳したアナログ信号を判別、波形整形・リタイミングして、きれいなデジタル信号として再生する機能を持つ。

セレクトゲートも光伝送用ICにおいて重要な役割を持つ。この回路はマルチプレクサのコア回路として用いられるほか、測定器のキーコンポーネントでもある。超高速セレクトICがInP系HBT⁶⁾、SiGe系HBT⁷⁾、およびInP系HEMT⁸⁾技術を用いて設計・試作されている。本研究では、InP/InGaAs DHBT技術を用いてセレクトICを設計・試作し、新しいInP/InGaAs DHBTの速度性能を検討した。

本報告では、NTTによって開発されたInP系HBT技術を紹介するとともに、次々世代光伝送用100Gbit/s級超高速ICの高速化回路設計技術、評価技術および試作したICの評価結果について述べる。

2. デバイス技術

InP/InGaAs HBTは、3インチの半絶縁性InP基板にMOVPE (Metalorganic Vapor Phase Epitaxy) 法を用いて成長させた。カーボンをベースドーパントとして用い、シンプルな非セルフアラインプロセスによってICを作製している。HBT、メタル抵抗およびMIM (Metal-Insulator-Metal) キャパシタを集積し、また低誘電率のBCB (Benzocyclobutene) によって分離した2層配線技術を用いている。

2-1 アンドープエミッタInP/InGaAs HBT技術

アンドープエミッタInP/InGaAs HBT⁹⁾は、従来のnドーパエミッタ構造に比べて、低コレクタ電流密度

(J_c) で高い f_T を示す。そのため高速ICを低電力で実現する有効なデバイス技術である。図1にアンドープエミッタInP/InGaAs HBTの走査型電子顕微鏡 (SEM) 写真を示す。トランジスタは70nm厚のアンドープInPエミッタ、50nm厚のカーボンドーパInGaAsベースおよび300nm厚のInGaAsコレクタからなる。コレクタ電流密度 (J_c) 50kA/cm²、コレクタ・エミッタ間電圧 (V_{CE}) 1.2Vのときの f_T および f_{max} はそれぞれ150GHzおよび200GHzであった。エミッタ幅はすべて1 μ mである。

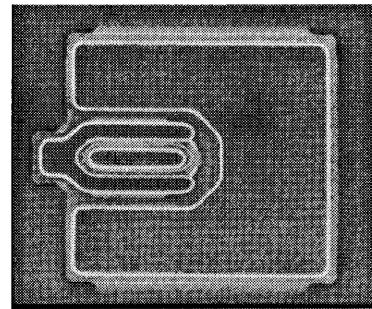


図1 アンドープエミッタInP/InGaAs HBTのSEM写真

2-2 InP/InGaAs DHBT技術

図2にInP/InGaAs DHBTのSEM写真を示す。レイヤー設計の詳細は文献¹⁰⁾を参照されたい。InP/InGaAs DHBTは、コレクタ厚を200nmとしている。またInPエミッタ層は 3×10^{17} cm⁻³ドーパしている。特徴はベースパッド分離構造を導入して外部コレクタ容量を低減しているところにある。エミッタサイズは $0.8 \times 3 \mu\text{m}^2$ である。 f_T および f_{max} は、コレクタ電流密度 (J_c) 2.5mA/ μm^2 において、それぞれ232GHzおよび360GHzときわめて高い値を示した。

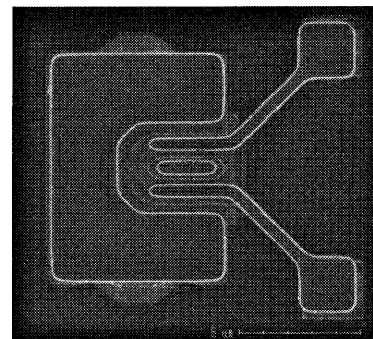


図2 InP/InGaAs DHBTのSEM写真

3. 回路設計技術

3-1 ECLゲート回路

提案したECLゲートの回路構成を図3に示す。この

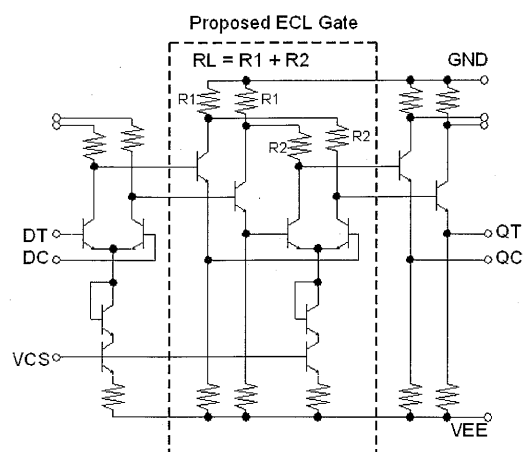


図3 提案したECLゲートの回路構成

回路はエミッタフォロアトランジスタのコレクタ端子と負荷抵抗の接続点が従来型構成ECLゲートと異なっている。コレクタ端子を2つに分けた負荷抵抗 R_1 と R_2 の間に接続している。抵抗 R_1 が $0\ \Omega$ のとき、従来型構成ECLゲートとなる。提案したECLゲートでは、差動対トランジスタのスイッチング時間を、エミッタフォロアの過渡電流を利用して高速化しており、抵抗 R_1 と R_2 の値をそれぞれ最適化することによって、伝搬遅延時間を低減することができる。

提案したECLゲートの性能を検証するために、三種類の19段リング発振器を設計・試作した。1つの発振器は提案したECLゲートを用いた。動作電流 6 mA で内部論理振幅は 250 mV ($R_1 + R_2 = 43\ \Omega$)とした。他の2つの回路は従来型構成のECLゲートを、動作電流 6 mA 、内部論理振幅を 400 mV ($R_1 = 0\ \Omega$, $R_2 = 67\ \Omega$) および 250 mV ($R_1 = 0\ \Omega$, $R_2 = 43\ \Omega$) で動作するように設計した。電源電圧 VEE は、 -5 V で設計した。HSPICEシミュレーションから、提案したECLゲートを用いたリング発振器の発振周波数は、従来型構成ECLゲートを用いたものに比べ、約8%高いことが分かった。

3-2 識別回路

提案したMS-DFFの回路構成を図4に示す。この回路の特徴は、保持回路の接続が従来型構成MS-DFFと異なっている点にある。すべての負荷抵抗を R_1 および R_2 の2つに分けて、保持回路のトランジスタのコレクタ端子を2つの抵抗の間に接続している。HSPICEを用いた感度解析を行ったところ、抵抗比 $R_1/(R_1 + R_2)$ を減少させることによって、上段差動対トランジスタのコレクタ応答およびベース応答を改善できることがわかった。これらの応答を改善することによってフリッ

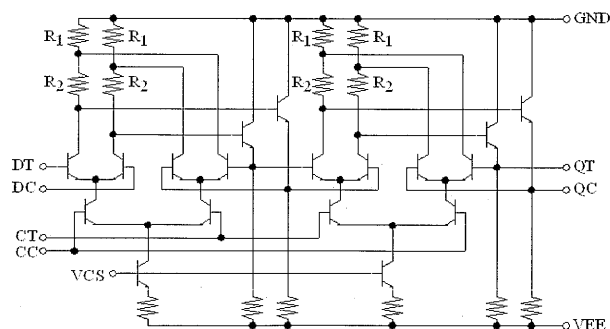


図4 提案したMS-DFFの回路構成

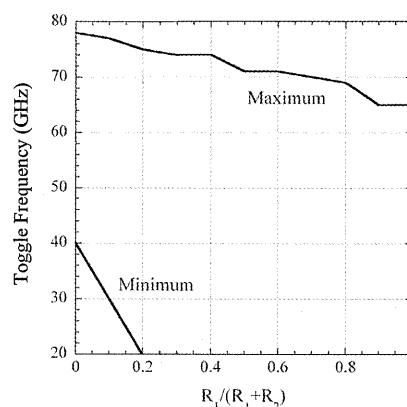


図5 提案したMS-DFFのシミュレーションによる最高および最低トグル周波数

プフロップの動作速度を向上させることができる。この回路構成では、付加するデバイスがないため、消費電力は従来型構成MS-DFFと同一である。

図5に抵抗比 $R_1/(R_1 + R_2)$ と最高および最低トグル周波数との関係のHSPICEシミュレーション結果を示す。アンドープエミッタInP/InGaAs HBTのデバイスパラメータを用いてシミュレーションを行った。このシミュレーションでは、配線の寄生抵抗および寄生容量は考慮していない。従来型構成MS-DFF (抵抗比 $R_1/(R_1 + R_2) = 1$) での最高トグル周波数は 65 GHz となった。抵抗比 $R_1/(R_1 + R_2)$ を低減することによって、最高トグル周波数は 78 GHz まで向上した。しかしながら、抵抗比 $R_1/(R_1 + R_2)$ が 0.2 以下になると、低周波数領域で正常動作しなかった。これは 0.2 以下の抵抗比の領域では保持回路の利得が低くなりすぎ、回路が正常動作しなくなるためと考えられる。図5に示すように抵抗比 $R_1/(R_1 + R_2) = 0.4$ に設定することによって、正常な低周波数領域の動作と約14%の動作速度の向上が実現できる。

図6に識別回路の構成を示す。識別回路は、データバッファ、クロックバッファ、MS-DFFコアおよび出

力バッファより構成した。高速・高感度化のために、データバッファおよびクロックバッファにカスコード接続を用いた。HSPICEシミュレーションより、カスコード接続を用いることによって3 dB低下帯域を約35%改善できることが示された。また、送端抵抗および受端抵抗ともにチップ上に形成して、多重反射による波形の乱れを抑圧した。図7(a)にアンドープエミッタ InP/InGaAs HBT技術を用いて試作した識別回路のチップ写真を示す。チップサイズは $2 \times 2 \text{ mm}^2$ である。図7(b)にInP/InGaAs DHBT技術を用いて試作した識別回路のチップ写真を示す。チップサイズは $1.5 \times 1.5 \text{ mm}^2$ である。

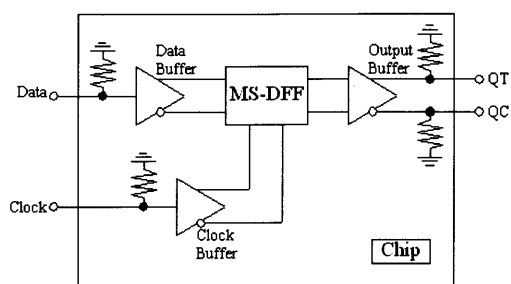


図6 識別回路の構成

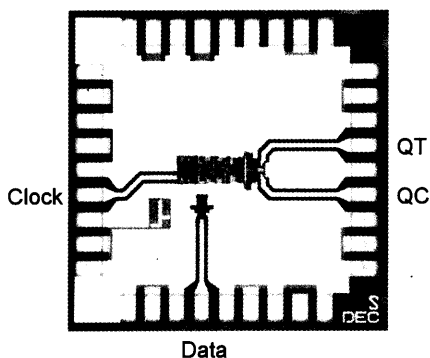


図7(a) アンドープエミッタ InP/InGaAs HBT識別回路のチップ写真

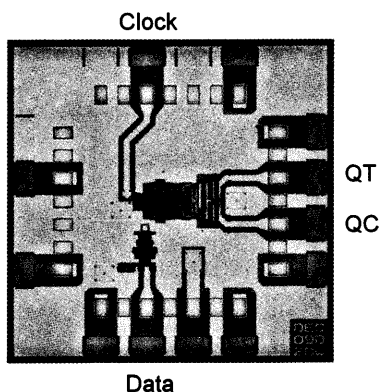


図7(b) InP/InGaAs DHBT識別回路のチップ写真

3-3 セレクタ回路

セレクタ回路の構成を図8に示す。セレクタ回路は、データバッファ、クロックバッファおよびセレクタコアゲートより構成した。図9(a)にデータバッファを示す。また図9(b)にセレクタゲートを示す。図に示すようにデータおよびクロックバッファ、セレクタゲートには、ECLシリーズゲート技術を用いている。インピーダンス整合のため、50Ωの抵抗をデータおよびクロックバッファの入力端子に配置した。HSPICEシミュレーションにより、クロックおよびデータバッファの帯域がセレクタ回路の動作速度を制限していることがわかった。そこでそれらのバッファにはカスコード接続技術を採用して広帯域化を図った。また、出力バッファによる動作速度の制限を避けるため、セレクタコアゲ

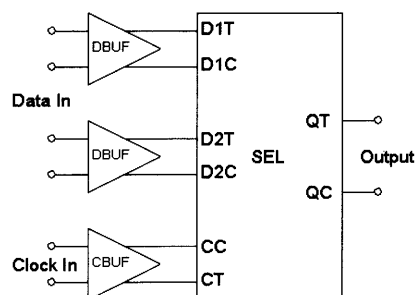
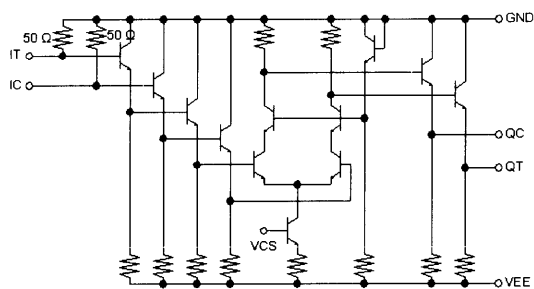
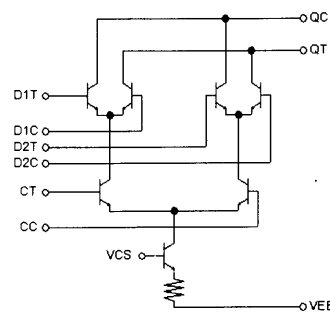


図8 セレクタ回路の構成



(a)



(b)

図9 回路構成

(a)データバッファ (b)セレクタゲート

トは負荷を直接ドライブするための出力バッファの役割も持つように回路設計した¹¹⁾。InP/InGaAs HBTは十分な負荷駆動能力を持つため、このような回路構成が可能になる。

4. 評価結果

4-1 ECLゲート回路

試作したICは、オンウエハでRFプローブを用いて評価した。図10に提案したECLゲートを用いた19段リング発振器のスペクトルアナライザ出力を示す。発振周波数8.21GHzが得られた。この発振周波数はゲート1段あたり3.21ps/gateの伝搬遅延時間に相当する。図11にトランジスタの動作電流と伝搬遅延時間の関係を示す。従来構成ECLゲートの最小遅延時間は負荷抵抗が67Ωおよび43Ωのとき、それぞれ3.67psおよび3.49psであった。負荷抵抗43Ωでは、67Ωに比べて約5%高速に動作した。43Ωでは差動対トランジスタのコレクタ応答が十分に低減されている。したがって、さら

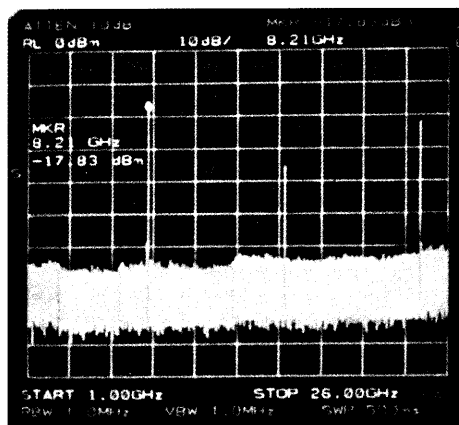


図10 スペクトラムアナライザ出力
(発振周波数: 8.21GHz)

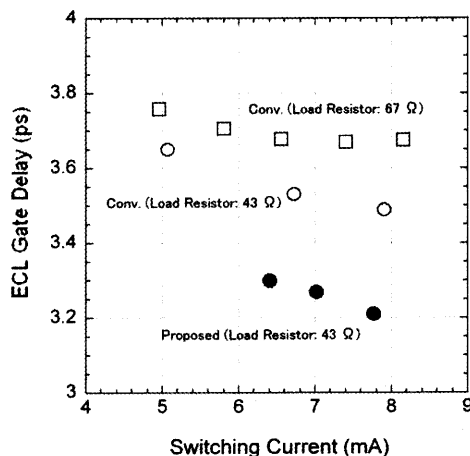


図11 動作電流と伝搬遅延時間の関係

なる高速化は負荷抵抗の低減では達成できない。またさらに小さい負荷抵抗では正確なスイッチング動作が期待できない。

一方、提案したECLゲートの遅延時間は3.21psと従来構成ECLゲート（負荷抵抗43Ω）の3.49psより約8%高速化された。この測定値は、HSPICEシミュレーションの結果とよく一致する。シミュレーションおよび回路試作ともに、提案したECLゲートが高速性能に優れることを示した。また消費電力は従来型構成ECLゲートと全く同じである。

4-2 識別回路

動作速度50Gbit/sまでの評価系は文献¹²⁾を参照されたい。動作速度50~60Gbit/sまでの評価系の概略図を図12に示す。入力データ信号は、4:1 MUXモジュールとセクタ (SEL) モジュールによって発生した。4チャンネルパルスパターン発生器 (PPG) の出力信号を、4:1 MUXモジュールで多重化した後、4:1 MUXモジュールの出力をSELモジュールによってさらに多重化した。評価する識別回路の一つの出力は、オシロスコープによってモニターした。他方の出力は、ハーフクロックで動作させた識別回路 (DEC) モジュールと1:4 DEMUXモジュールによって低速のデータ信号に分離した。エラーフリー動作の確認は、分離したデータ信号をエラーディテクタに入力して行った。4:1 MUX、1:4 DEMUX、SEL、およびDECはすべてInP/InGaAs HBT技術によって作製されている。60Gbit/s以上の評価は、NTTで開発したPPGとInP HEMTセクタモジュール¹³⁾によって、PN 7段の擬似ランダムデータ信号 (PRBS) を発生して行った。今回の評価では、すべてシングルエンドのクロック信号を用いている。

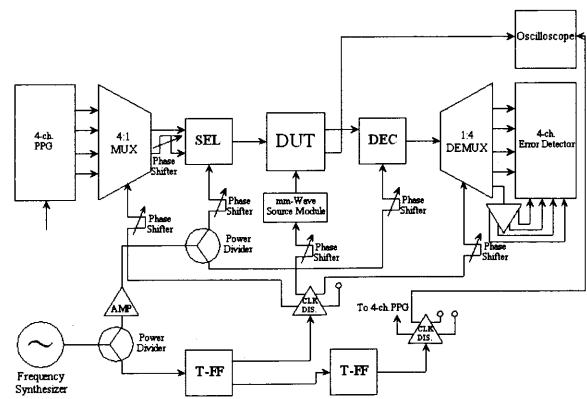


図12 識別回路の評価システムの概略図
(> 50 Gbit/s)

4-2-1 アンドープエミッタInP/InGaAs HBT 識別回路

図13に提案したMS-DFFを用いた識別回路の入力感度特性および位相余裕特性を示す。この識別回路は60 Gbit/sまでエラーフリー動作が確認できた。また、1 Gbit/sの低ビットレートにおいてもエラーフリー動作が確認できている。入力感度は、50Gbit/sのときおおよそ50mVおよび60Gbit/sのときおおよそ170mVであり、優れた入力感度特性が得られた。50Gbit/sにおいて193度の優れた位相余裕特性も得られた。これは実用的にも十分な位相余裕である。一方、従来型構成MS-DFFを用いた識別回路は、52Gbit/sまで動作した。提案したMS-DFFを用いた識別回路は、従来型構成に比較して約15%高速に動作した。この評価結果はHSPICEシミュレーション結果とよく一致し、シミュレーションおよび回路試作によって、提案した回路の高速性能が確認できた。電源電圧は-4.5Vで回路設計しており、消費電力はいずれの回路もおおよそ0.7Wで

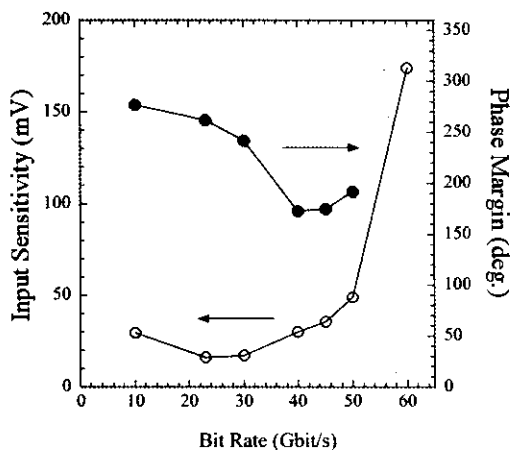


図13 入力感度特性および位相余裕特性

あった。

図14に60Gbit/s動作での出力アイパタンを示す。良好なアイ開口が得られている。出力データ振幅はおおよそ0.85Vp-pと、実用に対して十分な振幅が得られている。立ち上がりおよび立ち下り時間(20-80%)はそれぞれおおよそ10.3psおよび7.1psであった。図15に50 Gbit/s動作時の出力データ信号のRMSジッタの従来型識別回路と提案した識別回路での比較を示す。いずれの回路も50チップを評価した。RMSジッタの平均値は、提案した回路および従来型回路でそれぞれ、1.22ps および1.75psであった。図15から提案した回路はより優れたジッタ特性を有しており、ジッタを抑圧する有効な回路構成であることがわかった。この低ジッタ特性は、提案したMS-DFFの速度性能が極めて優れているためである。図16に提案したMS-DFFを用いた識別回路の50Gbit/s動作での典型的な出力アイパタンを示す。ジッタの抑圧された良好なアイパタンが得られている。

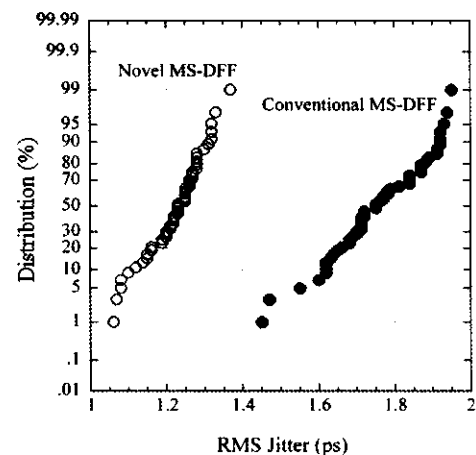


図15 出力アイダイアグラムのRMSジッタの比較

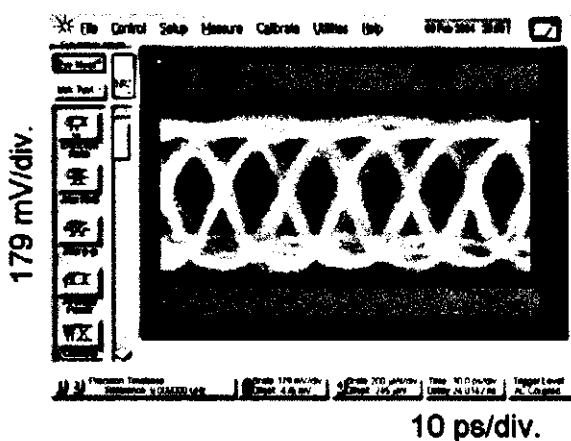


図14 識別回路の60Gbit/s出力アイパタン

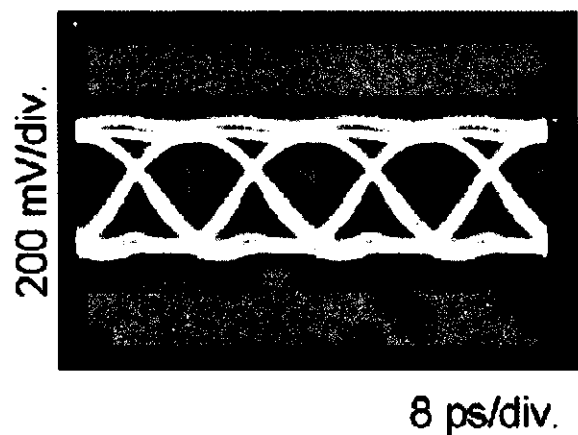


図16 識別回路の50Gbit/s出力アイパタン

4-2-2 InP/InGaAs DHBT識別回路

InP/InGaAs DHBT技術により試作した、従来型構成MS-DFFを用いた識別回路は、75Gbit/sまで動作した。一方、提案したMS-DFFを用いた識別回路では、90Gbit/sまで動作した。従来型構成MS-DFFを用いた識別回路に比べて約20%高速に動作した。90Gbit/s動作での入出力アイパタンを図17に示す。90Gbit/sにおいて良好な出力アイパタンが得られている。立ち上がり、立ち下り時間(20-80%)は、6.8ps以下であった。また、RMSジッタはきわめて小さく、おおよそ780fsであった。

図18にデータレート90 Gbit/s、ワード長PN 7段の入力および出力データ信号の一部を示す。ビット列が正確に再生されている。本識別回路の電源電圧は、

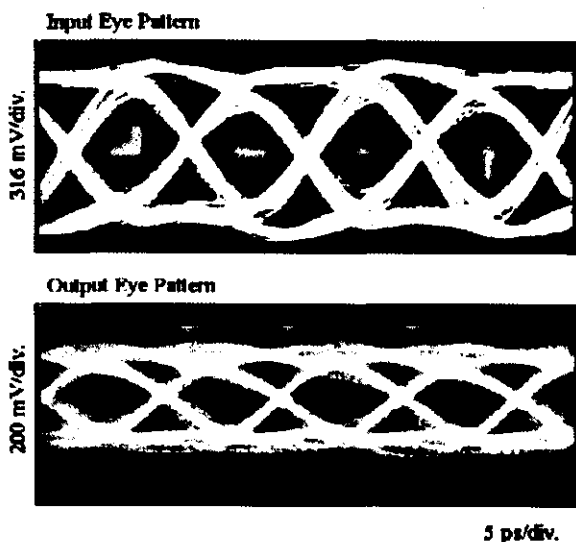


図17 識別回路の90Gbit/s入出力アイパタン

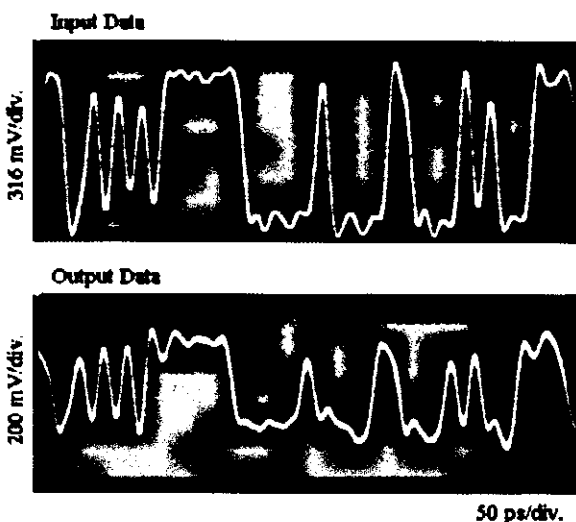


図18 識別回路の90Gbit/s入出力データ波形

−3.8Vとした。この低い電源電圧は、InP/InGaAs HBTの低いベース・エミッタのターンオン電圧により可能になった。またデータバッファ、クロックバッファ、MS-DFFおよび出力バッファをすべて含めて0.5Wと合わせて低い消費電力で、90Gbit/sの超高速動作が実現できた。

4-3 セレクタ回路

セレクタ回路の100Gbit/s出力アイパタンを図19に示す。セレクタ回路では100Gbit/s動作を達成した。アイ開口は明瞭で、200mV出力振幅が得られた。またRMSジッタは400~500fsときわめて小さかった。

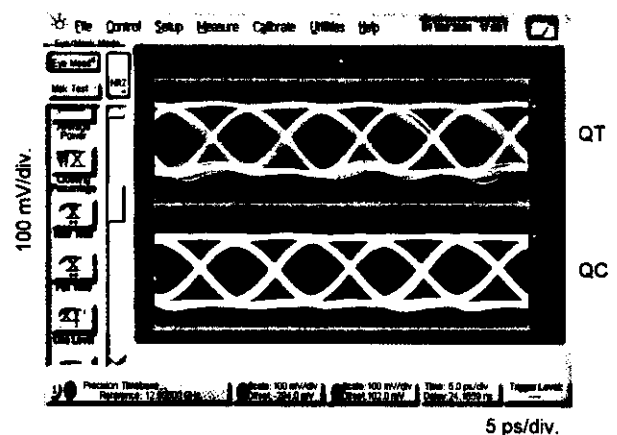


図19 セレクタ回路の100Gbit/sアイパタン

5. まとめ

InP/InGaAs HBT技術を用いて、100Gbit/s級超高性能SSIの設計・試作に成功した。本研究ではInP/InGaAs HBTのデバイス性能を十分引き出す回路設計技術および新しい回路アーキテクチャを導入した。その結果、3.21ps ECLゲート回路、90Gbit/s識別回路、および100Gbit/sセレクタ回路を実現した。InP/InGaAs HBT技術および提案した回路設計技術が、100Gbit/s級超高速SSIを実現するための有効な技術であることを示した。

謝 辞

本研究は、筆者が2001年から2004年にかけて日本電信電話株式会社（NTT）にて行ったものであり、NTT研究所 榎木孝知部長、柴田随道部長に多大な御助言を頂きました。また、中部大学工学部電子情報工学科 脇田紘一教授には多大なご指導を頂きました。ここに深くお礼申し上げます。

参 考 文 献

- 1) M. K. Srivastava, R. Raghavan, R. Thiagarajah, M. G. Case, E. Arnold, C. W. Pobanz, S. O. Nielsen, J. C. Yen, and R. A. Johnson: "InP HBT Ring Oscillator with 2.0ps/stage Gate Delay," in GaAs IC Symp. Tech. Dig., 2002, pp.171-174.
- 2) B. Jagannathan, M. Meghelli, A. V. Rylyakov, R. A. Groves, A. K. Chinthakindi, C. M. Schnabel, D. A. Ahlgren, G. G. Freeman, K. J. Stein, and S. Subbanna: "A 4.2-ps ECL Ring-Oscillator in a 285-GHz f_{MAX} SiGe Technology," IEEE Electron Device Lett., 23 (2002) pp. 541-543.
- 3) Y. Suzuki, Y. Amamiya, Z. Yamazaki, S. Wada, H. Uchida, C. Kurioka, S. Tanaka, and H. Hida, "110Gb/s Multiplexing and Demultiplexing ICs," in Int. Solid-State Circuits Conf. Tech. Dig., 2004, pp.232-233.
- 4) T. Suzuki, T. Takahashi, T. Hirose, and M. Takigawa, "A 80-Gbit/s D-type Flip-Flop Circuit Using InP HEMT Technology," in GaAs Integrated Circuits Symp. Tech. Dig., 2003, pp.165-168.
- 5) K. Ishii, H. Ichino, M. Togashi, Y. Kobayashi, and C. Yamaguchi, "Very-High-Speed Si Bipolar Static Frequency Dividers with New T-Type Flip-Flops," IEEE J. Solid-State Circuits, 30 (1995) pp.19-24
- 6) P. Andre, S. Blayac, P. Berdagger, J.-L. Benchimol, J. Godin, N. Kauffmann, A. Konczykowska, A.-E. Kasbari, and M. Riet: "InGaAs/InP DHBT Technology and Design Methodology for Over 40 Gb/s Optical Communication Circuits," IEEE J. Solid-State Circuits, 36 (2001) pp.1321-1327.
- 7) M. Moller, H.-M. Rein, A. Felder, and T. F. Meister: "60 Gbit/s time-division multiplexer in SiGe-bipolar technology with special regard to mounting and measuring technique," Electron. Lett., 33 (1997) pp.679-680.
- 8) T. Otsuji, K. Murata, T. Enoki, and Y. Umeda: "An 80-Gbit/s Multiplexer IC Using InAlAs/InGaAs/InP HEMT's," IEEE J. Solid-State Circuits, 33 (1998) pp.1321-1327.
- 9) M. Ida, K. Kurishima, H. Nakajima, N. Watanebe, and S. Yamahata, "Undoped-Emitter InP/InGaAs HBTs for High-Speed and Low-Power Applications," in Int. Electron Device Meeting Tech. Dig., 2000, pp.854-856.
- 10) K. Kurishima, M. Ida, and N. Watanabe: "InP Double-Heterojunction Bipolar Transistors with a Carbon-Doped Graded Base," Extended Abstracts of the 2002 International Conference on Solid State Devices and Materials, 2002, pp.272-273.
- 11) J. Hauenschield, H.-M. Rein, W. Mcfarland, J. Doernberg, and D. Pettengill: "Demonstration of retiming capability of silicon bipolar time-division multiplexer operating to 24 Gbit/s," Electron. Lett., 27 (1991) pp.978-979.
- 12) K. Ishii, H. Nosaka, M. Ida, K. Kurishima, T. Enoki, T. Shibata, and E. Sano, "High-input-sensitivity, low-power 43 Gbit/s decision circuit using InP/InGaAs DHBTs," Electron. Lett., 38 (2002) pp.557-558
- 13) K. Murata, K. Sano, T. Enoki, H. Sugahara, and M. Tokumitsu, "InP-Based IC Technologies for 100-Gbit/s and Beyond," in Tech. Dig. of 16th International Conference on Indium Phosphide and Related Materials (IPRM'04), 2004, TuA-1-1