

イオン感応性電界効果トランジスタの試作とその電位特性

岡田 勝*, 稲熊 正*, 古田 慎作*, 松下 寛*

Fabrication of Ion-Sensitive Field Effect Transistor and Its Potential Behaviors in Electrolyte

Masaru OKADA*, Tadashi INAGUMA*, Shinsaku FURUTA*
and Hiroshi MATSUSHITA*

(Received September 16, 1978)

An ion-sensitive field effect transistor (ISFET) was fabricated by means of monolithic integrated circuit techniques. Electric characteristics and ionic responses of the device were measured. ISFET with the sensitive layer as a gate insulator consisting of SiO_2 and Si_3N_4 operates satisfactorily in the electrolyte. The interface potential between the gate insulator and the electrolyte varies with the hydrogen ion activity, and the measured pH-sensitivity is 43mV/pH.

This work shows the possibility of realization of a micro-probe of pH-meter with this device.

1. 緒 言

イオンセンサー、とくにイオン選択性膜電極は精密測定ができ、簡便かつ連続測定ができるという利点から、現在、環境計測をはじめ各種の自動連続分析に広く用いられている。とくに最近では生体内イオン濃度の測定にみられるように、微量サンプルの測定が要望されるようになった。しかし、従来のイオン選択性電極では、いわゆる膜電極を利用しているため構造的に小型化することが困難であった。

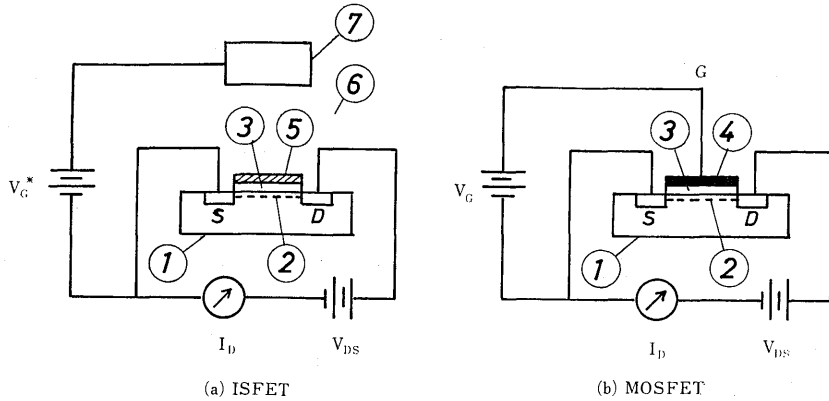
最近、Bergveld^{1), 2)}は、MOS 電界効果トランジスタ（以下 MOSFET と略称）からメタルゲートを除き、ゲート絶縁膜を直接測定溶液中に浸漬する構造の、いわゆる、イオン感応性電界効果トランジスタ（以下 ISFET と略称）を提案した。その後、電極構造、イオン感応膜、測定方法など改良が加えられ、現在までのところ水素イオン、カリウムイオン、カルシウムイオンに応答する ISFET が報告され、実用化への期待がもたれるよう

になった。^{3)~8)}

ISFET は集積回路素子の製造技術を利用して作られ、従来のイオン選択性電極と MOSFET を一体化した構造と機能をもっている。したがって微小域での測定、多探針化による多種イオンの同時測定が可能となるばかりでなく、従来のイオン選択性電極に比し出力インピーダンスが小さいため、測定回路が簡略化されるなど幾つかの利点がある。

従来の報告は ISFET の最終特性に関するもので、ISFET 用としての MOSFET の製造上の問題についてはほとんど報告されていない。そこで本報では、まず、MOS 容量素子を作成し、絶縁膜としての SiO_2 、 Si_3N_4 の性状、シリコンと絶縁膜の界面の状態、試作工程中の汚染などをチェックすることから始め、ついで、FET 素子のフォトリソパターンの作成、フォトリソ処理によるパターンの整合、各製作工程の最適条件の決定、MOSFET 素子の電気的特性の確認などを行ない、終りに水素イオンに応答する ISFET を試作した。これらの

*工業化学科 (Department of Industrial Chemistry)



- ① シリコン基板 ② チャネル ③ 絶縁膜(SiO₂) ④ ゲート金属(Al)
⑤ イオン感応膜(Si₃N₄) ⑥ 電解質溶液 ⑦ 比較電極(SCE)

図1 ISFET と MOSFET の動作原理図

経過と素子特性について報告する。

2. ISFET の動作原理

図1(a), (b)に ISFET と MOSFET の構成および電気的測定原理図を示す。MOSFET の非飽和領域における電流—電圧特性は、周知のように次式によって与えられる。

$$I_D = \alpha \left[(V_G - V_T) - \frac{1}{2} V_D \right] \quad (1)$$

ここで、 I_D はドレイン電流、 V_D はドレイン電圧、 V_G はゲート電圧、 V_T は閾値電圧、 $\alpha = \mu C_0 V_D W/L$ であり、 μ はキャリア移動度、 C_0 はゲート容量、 W はチャネル巾、 L はチャネル長である。また、閾値電圧は次式により与えられる。

$$V_T = \phi_{MS} + 2\phi_F - \frac{Q_{SS} + Q_B}{C_0} \quad (2)$$

ここで、 ϕ_{MS} は金属と基板シリコン間の仕事関数差、 ϕ_F は基板シリコンの Fermi 電位、 Q_{SS} は Si-SiO₂ 界面における表面電荷密度、 Q_B は空乏層領域の電荷である。(2)式からわかるように、 V_T は素子構成材料や製造工程の種々の条件により決まり、一義的に決定することは困難である。

いま、図1(a)と(b)を対応させると、ISFETは(b)図の④のゲート金属を⑤のイオン感応膜で置き換え、比較電極⑦と共に電解質溶液⑥の中に浸漬させた構造になっていることがわかる。したがって、MOSFET に対する(1)式を ISFET に適用するには、 V_G 、 V_T に対する新しい関係式を導入する必要がある。ISFET において V_G に相当する電位は、比較電極に外部から加えた電位 V_G^* 、と比較電極の電位 E_{ref} 、と電解液とイオン感応膜の界面において生ずる Nernst 電位 $E = E^0 + (RT \ln a_i)/nF$

の和である。 E^0 は標準電極電位、 R は気体定数、 T は絶対温度、 a_i は i なるイオン種の活量、 n はイオンの電荷数、 F は Faraday 定数である。したがって MOSFET の V_G に等価な ISFET の値は次式で示される。

$$V_G = V_G^* + E_{ref} + E^0 + RT \ln a_i / nF \quad (3)$$

一方、閾値電圧は次式で与えられる。

$$V_T = \phi_{CS} + 2\phi_F - (Q_{SS} + Q_B)/C_0 \quad (4)$$

ここで ϕ_{CS} はイオン感応膜と基板シリコンの間の仕事関数差である。したがって、ISFET に対する電流—電圧特性式は次式のようにになる。

$$I_D = \alpha [K + V_G^* + RT \ln a_i / nF] \quad (5)$$

ここで $K = E_{ref} + E^0 - V_T - V_D/2$ である。

また、ISFET の電流—電圧特性の飽和領域では、Nernst の電位 E が FET のチャネル導電率を制御する。したがって

$$\Delta I_D = g_m \Delta E \quad (6)$$

ここで g_m は ISFET の相互コンダクタンスである。Nernst の電位は溶液中のイオン活量によって変化するから(5)、(6)式に従って a_i の変化によりドレイン電流 I_D が変化するようになる。

3. ISFET および MOSFET の試作

3-1 フォトマスクの製作

図2に本研究で作成した ISFET(a)および MOSFET (b) のフォトマスクパターンを示す。FET の製作(図3参照)に当って5回のフォトレジスト処理を行なうため、それぞれ(1)~(5)に示すように5種類のマスクパター

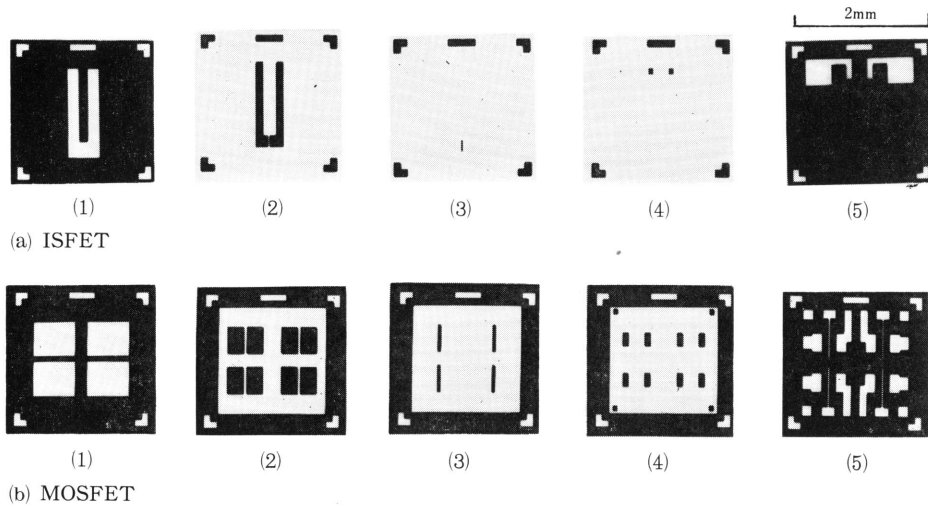


図2 試作 FET 素子のフォトマスクパターン

ンを作成した。

主要なマスク寸法は、コーナマーク間の長さ2mm、FET チャネル長 $25\mu\text{m}$ 、チャネル巾 $150\mu\text{m}$ である。一工程のマスクを製作するには、まず、原図を作るが、これには設計寸法の40倍の図面をコンピュータにて描かせ、同図面上の所定の位置にレタリング用の黒色フィルムを正確に切断して貼りつけた。つぎに、これの1/40になるように写真をとりネガフィルムを作る。フィルムマスクでは摩損し易く、解像力も悪いので、ガラス板上のクローム蒸着膜(“ST マスク”日本真空技術社製)を使用し、フォトレジスト処理を利用して最終的に“ST マスク”上に FET マスクパターンを作成した。なお、これら一連のマスクパターンは、マスクアライメント装置により正確にマスク位置合せができるようになっている。

3-2 ISFET および MOSFET の製作工程および製法⁹⁾

図3に ISFET および MOSFET の製作工程の模式図を示す。図3に対応させながら各工程ごとに概要を説明する。

(1) シリコン単結晶ウエハ

使用した基板シリコンは信越化学製、p 型、比抵抗 $10\sim 20\Omega\text{cm}$ 、片面鏡面ラップ仕上げ、厚さ $300\mu\text{m}$ 、結晶面(100)をもつ引上法による単結晶ウエハである。これを 5mm 角に切断し、半導体洗浄液“セミコクリーン23”(フルウチ化学製)で5分間超音波洗浄し、ついで純水(蒸留、イオン交換樹脂、ミリポアー処理を行なったもの)で数回超音波洗浄を行ない、超高純度アセトン中に移し、スライドガラス上に取り出して乾燥した。

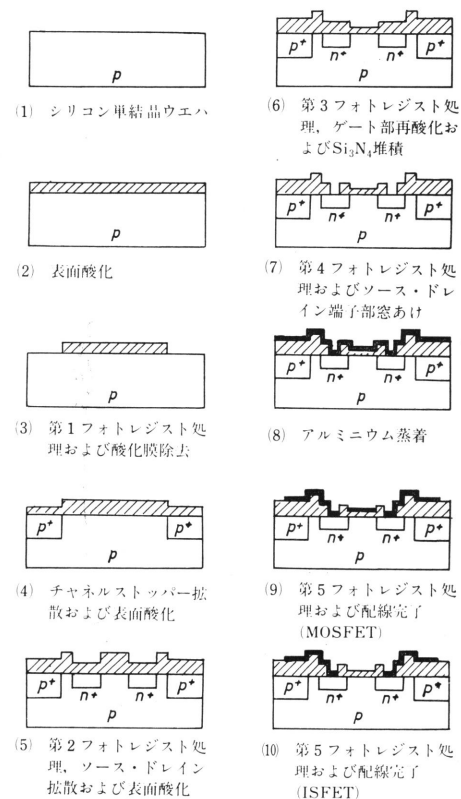


図3 ISFET の製作工程図

(2) 表面酸化

不純物拡散マスク用の SiO_2 を成長させる工程で、湿潤酸素中で 1200°C 、4時間加熱し、約 $5000\text{\AA}$ の SiO_2 を生成させた。 SiO_2 成長速度は酸化時間の1/2乗に比例し、

酸化温度および酸化剤の種類(乾燥酸素, 湿潤酸素, 水蒸気など)によってそれぞれ違った膜厚がえられる。

(3) 第1フォトレジスト処理および酸化膜除去

第1回フォトレジスト処理はチャンネルストッパー用拡散のための酸化膜の窓開け工程である。感光性樹脂 KMER (Kodak Metal Etch Resist) を酸化したシリコンチップ上に滴下し, 回転法によりシリコン表面に均一なレジスト膜を形成させる。つぎに, 120°C で10分間加熱してレジスト膜中の溶剤を蒸発, 硬化させる。3-1節で製作した ST マスクのチャンネルストッパー用拡散のパターン(図2-1(1))を用いて紫外線を露光し現像する。つぎに, KMER を 200°C , 15分間ベーキングした後, $\text{HF}:\text{NH}_4\text{F}:\text{H}_2\text{O}=2:3:5$ のエッチング液で酸化膜の窓開けを行なう。最後にレジスト剝離剤 J-100 でレジスト膜を除去し, トリクロロエチレン, アセトン, 超高純度水中で超音波洗浄した。このフォトレジスト処理は, 以下第2から第5まで行なうが, 第2回以後はマスクアライメント装置によるマスク合わせが必要である。それぞれパターンは異なるが一連の処理は全く同じである。

(4) チャンネルストッパー用拡散および表面酸化

高純度の p 型シリコンを用いて表面酸化膜を形成するとシリコン表面は n 型に反転する傾向がある。そのためゲート, ソース, ドレイン部を除く各領域にホウ素を拡散させ p⁺ 領域をつくりチャンネルストッパーとする。ホウ素の拡散には BBr_3 を用いて 1150°C , 3分間予備拡散し, ついで, 1200°C , 60分間湿潤酸素中でホウ素を拡散させると同時に表面に SiO_2 を形成させた。このときえられた拡散深さは $4.5\mu\text{m}$, ホウ素の表面濃度はほぼ $1.0 \times 10^{18}\text{atoms/cm}^2$ であった。

(5) 第2フォトレジスト処理, ソース・ドレイン拡散および SiO_2 堆積

図2-2(2)のソース・ドレイン拡散用パターンを用いて第2回目のフォトレジスト処理を行なう。ソース・ドレイン部を形成するには, 不純物源として POCl_3 を用いて 1150°C , 10分間, 予備拡散し, ついで同温度で30分間, 窒素雰囲気中でリンを拡散させた。このときえられたリンの拡散深さおよび表面濃度は, それぞれ $1.2\mu\text{m}$, $1 \times 10^{20}\text{atoms/cm}^2$ であった。つぎに, ISFET を水溶液中に浸漬したとき, 溶液による FET のリークを防ぐ目的で約 $1\mu\text{m}$ の SiO_2 を堆積させた。この SiO_2 膜はテトラエトキシシランを 750°C で熱分解させる方法により形成させた。

(6) 第3フォトレジスト処理, ゲート部再酸化および Si_3N_4 堆積

FET 素子の製作工程中で最も問題になる工程である。シリコン表面の汚染が直接 FET の特性に影響するため, 使用する反応管や治具をはじめ作業環境, シリコンチップの取扱いなど, きびしい管理が必要である。そのため, 拡散マスクとして使用してきた SiO_2 膜はゲート部分を一度除去し, 再び乾燥酸素中で約 $1000\text{\AA}$ の SiO_2 を形成させ, さらに, この上に約 $1000\text{\AA}$ の Si_3N_4 膜を化学気相成長法により堆積させた。 Si_3N_4 膜は疎水性のためゲート酸化膜を保護すると同時に, それ自体 pH 用感応膜として利用される。本報では SiH_4 と NH_3 の気相反応により 850°C で堆積させた。¹⁰⁾

(7) 第4フォトレジスト処理およびソース・ドレイン部酸化膜除去

ソース・ドレインから電極をとり出し, オーム接触を形成するための酸化膜の窓あけ工程である。

(8) アルミニウムの蒸着

ソース・ドレインのオーム接触およびゲート電極(MOSFET の場合)を形成するための工程である。アルミニウムの蒸着は, 日電バリアン社製真空蒸着装置を使用し, 真空度 $1.5 \times 10^{-6}\text{mmHg}$ で行なった。膜厚は $0.2 \sim 0.3\mu\text{m}$ とした。

(9), (10) 第5フォトレジスト処理および配線

ソース・ドレイン・ゲート電極を残して余分のアルミニウムを除去するための工程である。アルミニウムのエッチングは 60°C のリン酸で行なった。(9)は MOSFET, (10)は ISFET の場合である。

3-3 チップの検査および組立て

(1) チップの検査

配線の完了したチップのドレイン・ソース・ゲート各電極上に, 直径 $25\mu\text{m}$ のタングステン線をもつマイクロプローバーを顕微鏡で観察しながら接触させ, ダイオードカーブトレーサーで試作 FET の出力特性および伝達特性を測定し, 以後の組立て工程の可否を判定した。

(2) スクライブ

現在 5mm 角のチップ上に FET 素子を試作しているため, ガラス切りで約 2mm 角にスクライブする。

(3) ボンディング

2mm 角のチップ上のソース・ドレイン・ゲートの各電極端子を外部電極に接続するために TO-5 型のパッケージにボンディングする。ボンディング装置(高橋精機製)は熱圧着法で, チップ上の各端子とパッケージ上の各端子を直径 $25\mu\text{m}$ の金線により金とアルミニウムの共融温度 (370°C) よりやや高い温度で接続した。

(4) エポキシ樹脂による封止

ISFET は水溶液中で使用するため, 金属部分はガル

バニ電位を生ずる。したがってイオン感應膜の部分を除く他の部分をすべてエポキシ樹脂で被覆した。

4. 試作素子の電気的特性

4-1 MOSFET の静特性

通常の MOSFET のゲート絶縁膜には SiO_2 が一般に用いられている。 SiO_2 は水溶液中で一部が水和するこ

とが知られており、ISFET ではリーク電流の原因となるため、 SiO_2 の上にさらに Si_3N_4 膜を堆積して二層構造とした。

図4、図5はそれぞれチャンネル巾 $25\mu\text{m}$ 、チャンネル長 $150\mu\text{m}$ の試作 MOSFET の静特性を示す。図4はゲート絶縁膜として膜厚 $1000\text{\AA}$ の熱酸化膜でえられたものであり、図5は $1000\text{\AA}$ の SiO_2 上に CVD 法により膜厚

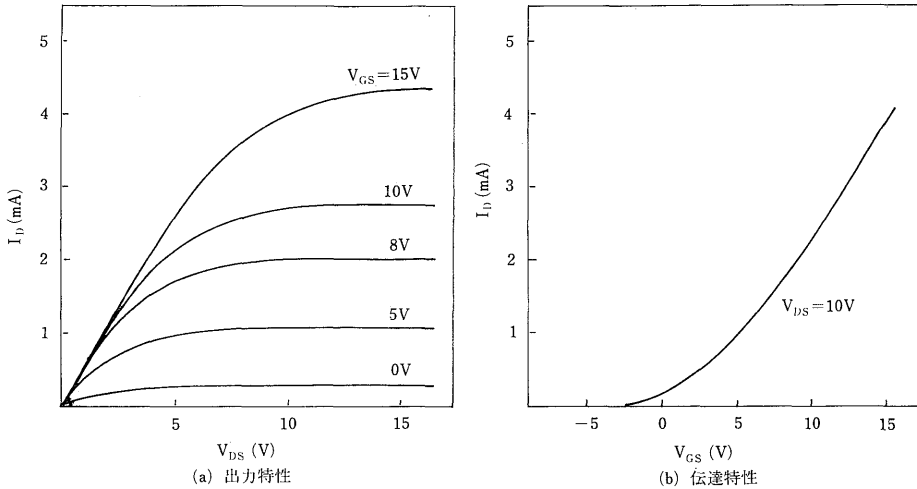


図4 MOSFET の静特性 (ゲート膜: SiO_2)

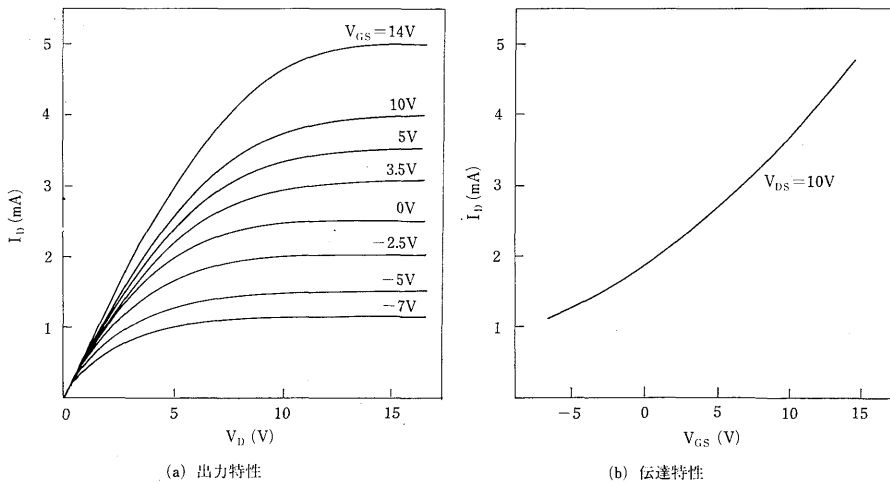


図5 MOSFET の静特性 (ゲート膜: $\text{SiO}_2 + \text{Si}_3\text{N}_4$)

1000Å の Si_3N_4 膜を堆積させた場合である。両図からゲート絶縁膜が SiO_2 単独のものより $\text{SiO}_2 + \text{Si}_3\text{N}_4$ の二層構造のものが閾値電圧が負方向に移動することがわかる。この結果は同時に行なった MOS 容量素子の C-V 特性の測定結果 (SiO_2 単独の場合より二層構造にすると表面電荷密度が数倍増加した) から Si_3N_4 の堆積中に Si-SiO₂ 界面に正電荷が蓄積され、シリコン表面が強く反転し、より空乏型特性を示すようになると思われる。

4-2 ISFET の静特性

ISFET の静特性は図6の回路で測定した。ISFET の

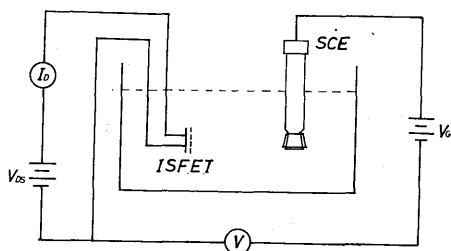


図6 ISFET の静特性およびイオン応答特性の測定回路

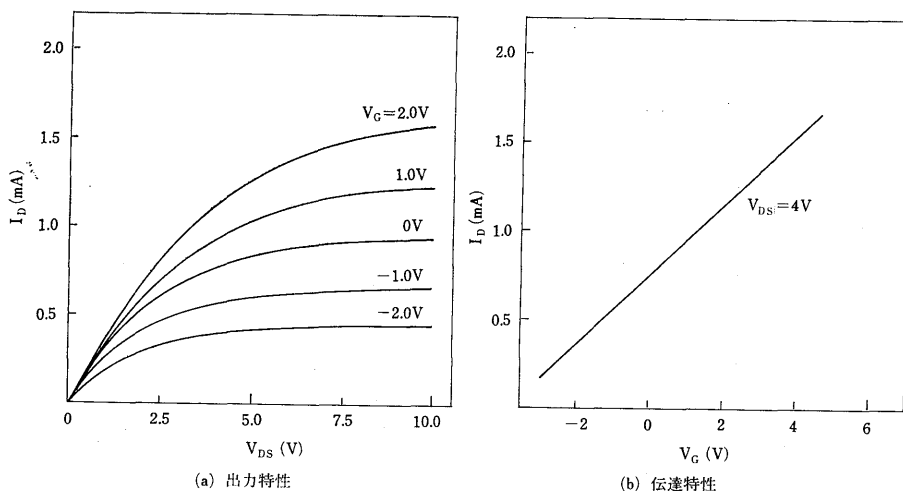


図7 ISFET の静特性

ゲート電圧 V_G は水溶液中の比較電極を経て供給される。したがってチャネル電流を制御するゲートソース間電圧 V_{GS} には常に比較電極の電位が含まれる。比較電極には飽和カロメル電極 (SCE) を使用し、ドレイン電流 I_D は $1\text{K}\Omega$ の標準抵抗をシャントに用いてデジタル電位差計 (Orion 社製) で測定した。

ゲート絶縁膜として 1000Å SiO_2 の素子ではドレイン電流の初期ドリフトが大きく、かなり長時間続いた。しかし、ゲート絶縁膜として SiO_2 (1000Å) + Si_3N_4 (1000Å) の素子では図7に示すように、安定した出力特性がえられ、ドレイン電流が比較電極を介してゲート電圧 V_G により制御されることがわかる。また、ドレイン電流のドリフトも殆どみられなかった。

4-3 ISFET のイオン応答特性

本実験では図6の回路により、水溶液の pH による出力変化を ISFET と比較電極間の発生電位、ドレイン電流および V_{DS} 、 I_D を一定に保ったソースフォロウの3

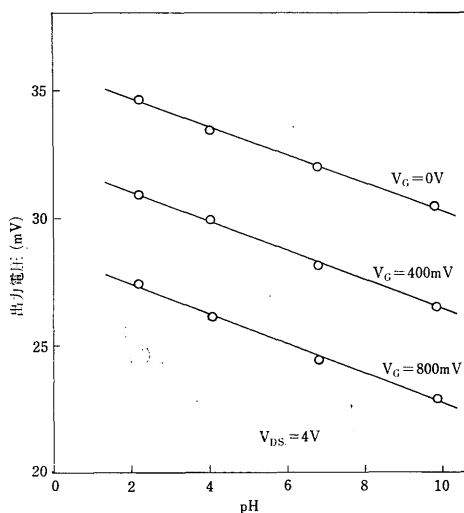


図8 ISFET の水素イオン応答特性

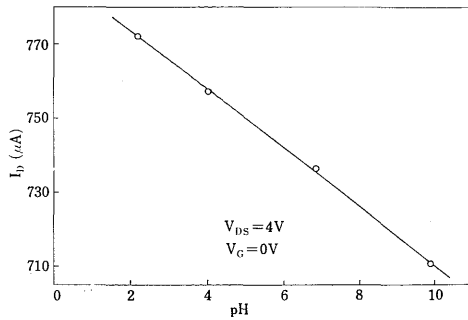


図9 ISFET の水素イオン応答特性

つの面から検討した。まず、図6の V_G をそれぞれ0, 400, 800mVとしたときの出力電圧と pH の関係を図8に示す。図8からわかるように、出力特性は良好な直線で示され、その感度は 0.55mV/pH であった。また、 V_G によって出力電圧と pH の関係は平行移動した。

つぎに $V_G=0$, $V_{DS}=4\text{V}$ としたときのドレイン電流と pH の関係を図9に示す。ドレイン電流と pH の間に直線関係がえられることがわかる。ドレイン電流の値は $1\text{K}\Omega$ の標準抵抗をシャントとしてえたもので、これを電圧換算すると出力感度は 8.0mV/pH であった。

さらに、 $V_{DS}=4\text{V}$, $I_D=780\mu\text{A}$ と共に一定に保ち、ソースフォロワで pH による出力(V_G)の変化を測定し

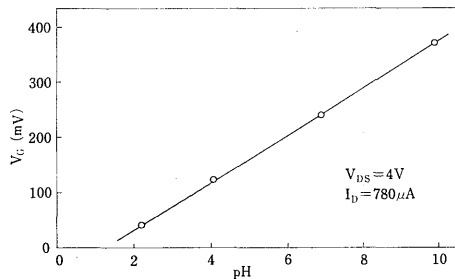


図10 ISFET の水素イオン応答特性

た。その結果を図10に示す。出力特性は良好な直線で示され、その感度は 43mV/pH であった。通常のガラス電極に発生する感度は 25°C で最大 59mV/pH (Nernst値) であり、本 ISFET の感度はこれよりいくらか小さい値となった。この原因はイオン感応膜の膜厚や物性に関係するものと考えられ、現在検討中である。

5. 結 語

IC 素子の製造技術を利用して水素イオンに応答する ISFET を試作し、電気的特性とイオン応答特性を測定した。ゲート絶縁膜として SiO_2 と Si_3N_4 の二層膜を用いることにより、本素子は水溶液中で十分安定に作動した。ゲート絶縁膜と電解液の間の界面電位は、溶液中の水素イオン濃度により変化し、 43mV/pH の pH 感度がえられた。この値は通常のガラス電極より幾らか小さい値となった。本研究により、超小型の pH 測定用プローブの実用化への見通しが明確になった。

文 献

- 1) P. Bergveld, *IEEE Trans. Biomed. Eng.*, BME-17 70 (1970)
- 2) P. Bergveld, *ibid.*, BME-19 342 (1972)
- 3) T. Matsuo and K. D. Wise, *ibid.*, BME-21 485 (1974)
- 4) S. D. Moss, J. Janata and C. C. Johnson, *Anal. Chem.*, 47 2238 (1975)
- 5) J. M. Zemel, *ibid.*, 47 255A (1975)
- 6) J. Janata and S. Moss, *Biom. Eng.*, 11 241 (1976)
- 7) S. Moss, C. Jhonson and J. Janata, *IEEE Trans. Biomed. Eng.*, BME-25 49 (1978)
- 8) M. Esashi and T. Matsuo, *ibid.*, BME-25 184 (1978)
- 9) 岡田勝, 中部工大紀要, 8 119 (1972)
- 10) K. E. Bean, P. S. Gleim and R. L. Yeakley, *J. Electrochem. Soc.*, 114 733 (1967)